西安电子科技大学

2024 年考研专业课复试辅导资料

仅供研习社教育 VIP 群内部交流学习使用（非卖品）

科目代码： 9021/9024　　科目名称： 电子信息技术综合知识一

目录

科目一：数字电子技术基础.....4
第一章　数字逻辑概论.....4
1.1 复试笔试点睛.....4
1.2 复试笔试重难点知识点.....4
第二章　逻辑代数基础.....8
2.1 复试笔试点睛.....8
2.2 复试笔试重难点知识点.....8
第三章　逻辑门电路.....14
3.1 复试笔试点睛.....14
3.2 复试笔试重难点知识点.....14
第四章　组合逻辑电路.....16
4.1 复试笔试点睛.....16
4.2 复试笔试重难点知识点.....16
第 5 章　锁存器和触发器.....20
5.1 复试笔试点睛.....20
5.2 复试笔试重难点知识点.....20
第 6 章 时序逻辑电路.....26
6.1 复试笔试点睛.....26
6.2 复试笔试重难点知识点.....26
第 7 章　脉冲波形的产生与整形.....33
7.1 复试笔试点睛.....33
7.2 复试笔试重难点知识点.....33
科目二：模拟电子技术基础.....38
第一章　半导体二极管.....38
1.1 复试笔试点睛.....38
1.2 复试笔试重难点知识点.....38
第二章　三极管及其基本放大电路.....42
2.1 复试笔试点睛.....42
2.2 复试笔试重难点知识点.....42
第三章　场效应管及其基本放大电路.....51
3.1 复试笔试点睛.....51
第四章　多级放大电路.....58
4.1 复试笔试点睛.....58
4.2 复试笔试重难点知识点.....58
第五章　功率放大电路.....62
5.1 复试笔试点睛.....62
5.2 复试笔试重难点知识点.....62
第六章　集成运算放大电路.....64
6.1 复试笔试点睛.....64

6.2 复试笔试重难点知识点 64
第七章 放大电路中的反馈 68
7.1 复试笔试点睛 68
7.2 复试笔试重难点知识点 68
第八章 信号的运算与处理 71
8.1 复试笔试点睛 71
8.2 复试笔试重难点知识点 71
第九章 信号发生电路 73
9.1 复试笔试点睛 73
9.2 复试笔试重难点知识点 73
第十章 直流电源 77
10.1 复试笔试点睛 77
10.2 复试笔试重难点知识点 77
科目三：数字信号处理 81
第一章 离散时间信号和系统的时域描述分析 81
1.1 复试笔试点睛 81
1.2 复试笔试重难点知识点 82
第二章 信号及系统频域分析 87
2.1 复试笔试点睛 87
2.2 复试笔试重难点知识点 87
第三章 离散傅立叶变换 92
3.1 复试笔试点睛 92
3.2 复试笔试重难点知识点 93
第四章 离散时域系统的网络结构 104
4.1 复试笔试点睛 104
4.2 复试笔试重难点知识点 104
第五章 无限脉冲响应数字滤波器的设计 108
5.1 复试笔试点睛 108
5.2 IIR 数字滤波器设计方法 109
第六章 有限脉冲响应数字滤波器的设计 113
6.1 复试笔试点睛 113
6.2 复试笔试重难点知识点 114
科目四：微机原理与接口技术 119
第一章 数制与码制 119
第二章 8086CPU 结构与功能 122
第三章 8086CPU 指令系统 124
第四章 8086 汇编语言程序设计 144
第五章 总线及其形成 149
第六章 存储器设计 157
第七章 常用芯片的接口技术 167
第八章 中断系统中断与可编程控制器 8259A 177

第九章 定时/计数器 8253 应用设计 178
第十章 并行接口芯片 8255A 的应用设计.....188

研习社24西电9021/9024考研复试t4vizuddk
西电通院电院智能院考研群：702628797

科目一：数字电子技术基础

第一章 数字逻辑概论

1.1 复试笔试点睛

本章的主要需要掌握的是进制的转换和码制等的转换。

1.2 复试笔试重难点知识点

一、进位计数制

1.十进制与二进制数的转换

2.二进制数与十进制数的转换

3.二进制数与 16 进制数的转

4.常用的 2 的幂级数

n	2^n	n	2^n
1	2	9	512
2	4	10	1024
3	8	11	2048
4	16	12	4096
5	32	13	8192
6	64	14	16384
7	128	15	32768
8	256	16	65536

二、二进制编码

研习社24西电9021/9024考研复试t4vizuddk
西电通院电院智能院考研群：702628797

1. BCD 码

2.可靠性编码

格雷码

奇偶校验码

ASCII 码

3. 几种常见的 BCD 码

十进制数 \ 编码种类	8421码	余3码	2421码	5421码	余3循环码
0	0000	0011	0000	0000	0010
1	0001	0100	0001	0001	0110
2	0010	0101	0010	0010	0111
3	0011	0110	0011	0011	0101
4	0100	0111	0100	0100	0100
5	0101	1000	1011	1000	1100
6	0110	1001	1100	1001	1101
7	0111	1010	1101	1010	1111
8	1000	1011	1110	1011	1110
9	1001	1100	1111	1100	1010
权	8421		2421	5421	

4. 格雷码

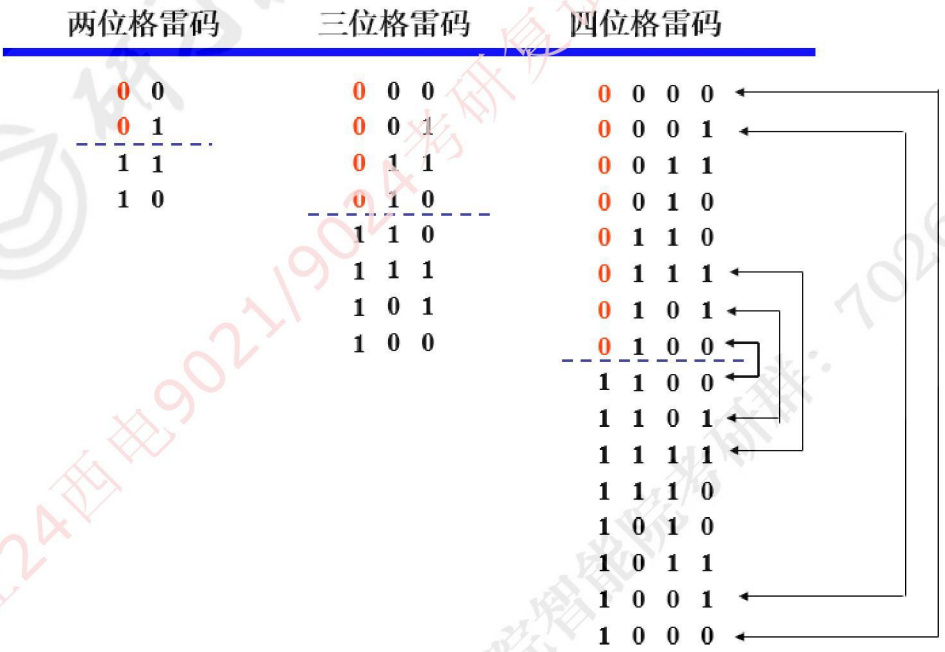
格雷码是一种典型的循环码

循环码特点：

①相邻性：任意两个相邻码组间仅有一位的状态不同。

②循环性：首尾两个码组也具有相邻性。

十进制数	格雷码	十进制数	格雷码
0	0000	8	1100
1	0001	9	1101
2	0011	10	1111
3	0010	11	1110
4	0110	12	1010
5	0111	13	1011
6	0101	14	1001
7	0100	15	1000



5. 奇偶校验码

代码(或数据)在传输和处理过程中，有时会出现代码中的某一位由 0 错变成 1，或 1 变成 0。奇偶校验码由信息位和一位奇偶检验位两部分组成。

信息位：是位数不限的任一种二进制代码。

检验位：仅有一位，它可以放在信息位的前面，也可以放在

信息位的后面。

十进制数	8421BCD奇校验码		8421BCD偶校验码	
	信息位	校验位	信息位	校验位
0	0000	1	0000	0
1	0001	0	0001	1
2	0010	0	0010	1
3	0011	1	0011	0
4	0100	0	0100	1
5	0101	1	0101	0
6	0110	1	0110	0
7	0111	0	0111	1
8	1000	0	1000	1
9	1001	1	1001	0

6. ASCII 码

ASCII 码即 “美国国家标准信息交换码” 的英文缩写，

常用的有两种：

ASCII-7 编码用 7 位二进制编码表示一个字符，共可表示 128 个不同的字符。

通常使用时在最高位添 0 凑成 8 位二进制编码，或根据实际情况将最高位用做校验位。

ASCII-8 编码用 8 位二进制编码表示一个字符，共可表示 256 个不同的字符。

第二章 逻辑代数基础

2.1 复试笔试点睛

本章主要需要掌握逻辑代数、真值表、卡诺图的使用。尤其是卡诺图，后面章节也会用到。

2.2 复试笔试重难点知识点

表示逻辑函数的方法，归纳起来有：真值表，函数表达式，卡诺图，逻辑图及波形图等几种。

一、逻辑代数的基本公式和常用公式

1）常量与变量的关系 A +0＝ A 与 A ·1＝ A

A +1＝1 与 $A \cdot 0 = 0$

$A + \overline{A} = 1$ 与 $A \cdot \overline{A} = 0$

2）与普通代数相运算规律

a.交换律： A＋B ＝ B＋A

$A \cdot B = B \cdot A$

b.结合律：（ A＋B ）＋C ＝ A＋（ B＋C ）

$(A \cdot B) \cdot C = A \cdot (B \cdot C)$

c.分配律： $A \cdot (B \cdot C) = A \cdot B + \quad A \cdot C$

$A + B \cdot C = (A + B)()A + C)$ ）

3）逻辑函数的特殊规律

a.同一律： A＋A＋A

b.摩根定律： $\overline{A + B} = \overline{A} \cdot \overline{B}$， $\overline{A \cdot B} = \overline{A} + \overline{B}$

b.关于否定的性质 A ＝ $\overline{\overline{A}}$

二、逻辑函数的基本规则

代入规则

在任何一个逻辑等式中，如果将等式两边同时出现某一变量 A 的地方，都用一个函数 L 表示，则等式仍然成立，这个规则称为代入规则

例如：$A\cdot\overline{B\oplus C}+\overline{A}\cdot B\oplus C$

可令 L＝$B\oplus C$

则上式变成 $A\cdot\overline{L}+\overline{A}\cdot L=A\oplus L=A\oplus B\oplus C$

三、逻辑函数的：——公式化简法

公式化简法就是利用逻辑函数的基本公式和常用公式化简逻辑函数，通常，我们将逻辑函数化简为最简的与—或表达式

1）合并项法：

利用 A＋$A+\overline{A}=1$或 $A\cdot B=A\cdot\overline{B}=A$,将二项合并为一项，合并时可消去一个变量

例如：L＝$\overline{A}\overline{B}C+\overline{A}B\overline{C}=\overline{A}\overline{B}(C+\overline{C})=\overline{A}\overline{B}$

2）吸收法

利用公式 $A+A\cdot B=A$，消去多余的积项，根据代入规则 $A\cdot B$ 可以是任何一个复杂的逻辑式

例如　　化简函数 L＝$\overline{AB}+\overline{A}D+\overline{B}\overline{E}$

解：先用摩根定理展开：$\overline{AB}=\overline{A}+\overline{B}$　　再用吸收法

L＝$\overline{AB}+\overline{A}D+\overline{B}\overline{E}$

＝$\overline{A}+\overline{B}+\overline{A}D+\overline{B}\overline{E}$

＝$(\overline{A}+\overline{A}D)+(\overline{B}+\overline{B}\overline{E})$

$= \overline{A}(1+\overline{A}D)+\overline{B}(1+\overline{B}\overline{E})$

$= \overline{A}+\overline{B}$

3）消去法

利用 $A+\overline{A}B=A+B$ 消去多余的因子

例如，化简函数 L $= \overline{A}B+A\overline{B}+\overline{A}\overline{B}E+ABC$

解： L $= \overline{A}B+A\overline{B}+\overline{A}\overline{B}E+ABC$

$= (\overline{A}B+\overline{A}\overline{B}E)+(A\overline{B}+ABC)$

$= \overline{A}(B+\overline{B}E)+A(\overline{B}+BC)$

$= \overline{A}(B+C)(B+\overline{B})+A(B+\overline{B})(\overline{B}+C)$

$= \overline{A}(B+C)+A(\overline{B}+C)$

$= \overline{A}B+\overline{A}C+A\overline{B}+AC$

$= \overline{A}B+A\overline{B}+C$

4)配项法

利用公式 $A\cdot B+\overline{A}\cdot C+BC=A\cdot B+\overline{A}\cdot C$ 将某一项乘以（$\overline{A}+A$），即乘以 1，然后将其折成几项，再与其它项合并。

例如：化简函数 L $= A\overline{B}+B\overline{C}+\overline{B}C+\overline{A}B$

解： L $= A\overline{B}+B\overline{C}+\overline{B}C+\overline{A}B$

$= A\cdot\overline{B}+B\cdot\overline{C}+(A+\overline{A})\overline{B}C+\overline{A}B(C+\overline{C})$

$= A\cdot\overline{B}+B\cdot\overline{C}+A\overline{B}C+\overline{A}\overline{B}C+\overline{A}BC+\overline{A}B\overline{C}$

$= (A\cdot\overline{B}+A\overline{B}C)+(B\cdot\overline{C}+\overline{A}B\overline{C})+(\overline{A}\overline{B}C+\overline{A}BC)$

$= A\cdot\overline{B}(1+C)+B\overline{C}(1+\overline{A})+\overline{A}C(\overline{B}+B)$

$= A\cdot\overline{B}+B\overline{C}+\overline{A}C$

2.应用举例

将下列函数化简成最简的与－或表达式

1） L $= A\overline{B}+BD+DCE+D\overline{A}$

2) L$= A\overline{B}+\overline{B}\overline{C}+AC$

3) L$= AB+\overline{A}\overline{C}+B\overline{C}+ABCD$

解：1） L $= A\overline{B}+BD+DCE+D\overline{A}$

$= A\overline{B}+D(B+\overline{A})+DCE$

$= A\overline{B}+D\overline{\overline{B}A}+DCE$

$= A\overline{B}+D\overline{A\overline{B}}+DCE$

$= (A\overline{B}+D)(A\overline{B}+\overline{A\overline{B}})+DCE$

$= A\overline{B}+D+DCE$

$= A\overline{B}+D$

2) L$= A\overline{B}+\overline{B}\overline{C}+AC$

$= A\overline{B}(C+\overline{C})+\overline{B}\overline{C}+AC$

$= A\overline{B}C+A\overline{B}\overline{C}+\overline{B}\overline{C}+AC$

$= AC(1+\overline{B})+\overline{B}\overline{C}(1+A)$

$= AC+\overline{B}\overline{C}$

3) L$= AB+\overline{A}\overline{C}+B\overline{C}+ABCD$

$= AB+\overline{A}\overline{C}+B\overline{C}(A+\overline{A})+ABCD$

$= AB+\overline{A}\overline{C}+AB\overline{C}+\overline{A}B\overline{C}+ABCD$

研习社24西电9021/9024考研复试t4vizuddk
西电通院电院智能院考研群：702628797

$$= (AB + AB\overline{C} + ABCD) + (\overline{A}\overline{C} + \overline{A}B\overline{C})$$

$$= AB(1 + \overline{C} + CD) + \overline{A}\overline{C}(1 + B)$$

$$= AB + \overline{A}\overline{C}$$

四、逻辑函数的化简—卡诺图化简法：

卡诺图是由真值表转换而来的，在变量卡诺图中，变量的取值顺序是按循环码进行排列的，在与—或表达式的基础上，画卡诺图的步骤是：

1.画出给定逻辑函数的卡诺图，若给定函数有 n 个变量，表示卡诺图矩形小方块有 2^n 个。

2.在图中标出给定逻辑函数所包含的全部最小项，并在最小项内填 1，剩余小方块填 0.

用卡诺图化简逻辑函数的基本步骤：

1.画出给定逻辑函数的卡诺图

2.合并逻辑函数的最小项

3.选择乘积项，写出最简与—或表达式

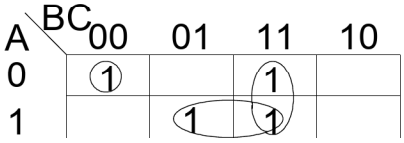
选择乘积项的原则：

①它们在卡诺图的位置必须包括函数的所有最小项

②选择的乘积项总数应该最少

③每个乘积项所包含的因子也应该是最少的

例 1.用卡诺图化简函数 $L = \overline{A}BC + ABC + A\overline{B}C + \overline{A}\overline{B}C$



解：1.画出给定的卡诺图

2.选择乘积项： $L = AC + BC + \overline{A}\overline{B}\overline{C}$

例 2.用卡诺图化简 $L = F(ABCD) = \overline{B}CD + B\overline{C} + \overline{A}\overline{C}D + A\overline{B}C$

解：1.画出给定 4 变量函数的卡诺图

AB \	00	01	11	10
00		1	1	
01	1	1		
11	1	1		
10			1	1

2.选择乘积项

设到最简与—或表达式 $L = B\overline{C} + \overline{A}\overline{B}D + A\overline{B}C$

例 3.用卡诺图化简逻辑函数

$L = \sum m(1,3,4,5,7,10,12,14)$

解：1.画出 4 变量卡诺图

AB \	00	01	11	10
00	m_0	m_1 1	m_3 1	m_2
01	m_4 1	m_5 1	m_7 1	m_6
11	m_{12}	m_{13} 1	m_{15}	m_{14} 1
10	m_8	m_9	m_{11}	m_{10} 1

2.选择乘积项，设到最简与—或表达式

$L = \overline{A}D + B\overline{C}D + AC\overline{D}$

研习社24西电9021/9024考研复试t4vizddk
西电通院电院智能院考研群 102628797

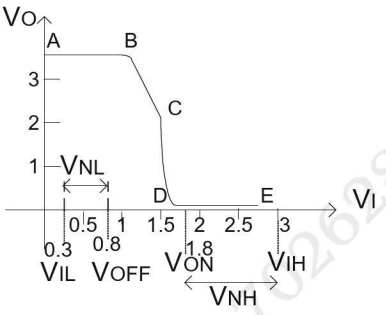
第三章 逻辑门电路

3.1 复试笔试点睛

本章主要需要掌握逻辑门的特性及真值表，三态门、OC 门等特性。还有与或电路、或与电路与非电路等等诸多电路的放大器接法等。

3.2 复试笔试重难点知识点

门电路是构成各种复杂集成电路的基础，本章着重理解 TTL 和 CMOS 两类集成电路的外部特性：输出与输入的逻辑关系，电压传输特性。



1. TTL 与 CMOS 的电压传输特性

开门电平V_{ON}—保证输出为额定低电平时所允许的最小输入高电平值

在标准输入逻辑时，$V_{ON}=1.8\,\mathrm{V}$

关门V_{OFF}—保证输出额定高电平 90%的情况下，允许的最大输入低电平值，在标准输入逻辑时，$V_{OFF}=0.8\,\mathrm{V}$

V_{IL}—为逻辑 0 的输入电压　　典型值$V_{IL}=0.3\,\mathrm{V}$

V_{IH}—为逻辑 1 的输入电压　　典型值$V_{IH}=3.0\,\mathrm{V}$

V_{OH}—为逻辑 1 的输出电压　　典型值$V_{OH}=3.5\,\mathrm{V}$

V_{OL}—为逻辑 0 的输出电压　　典型值$V_{OL}=0.3\,\mathrm{V}$

对于 TTL：这些临界值为$V_{OH\min}=2.4V$，$V_{OL\max}=0.4V$

$$V_{IH\min}=2.0V,V_{IL\max}=0.8V$$

低电平噪声容限：$V_{NL}=V_{OFF}-V_{IL}$

高电平噪声容限：$V_{NH}=V_{IH}-V_{ON}$

例：74LS00 的$V_{OH(\min)}=2.5V$ $V_{OL(出最小)}=0.4V$

$V_{IH(\min)}=2.0V$ $V_{IL(\max)}=0.7V$

它的高电平噪声容限 $V_{NH}=V_{IH}-V_{ON}$＝3－1.8＝1.2V

它的低电平噪声容限 $V_{NL}=V_{OFF}-V_{IL}$＝0.8－0.3＝0.5V

2.TTL 与 COMS 关于逻辑 0 和逻辑 1 的接法

74HC00 为 CMOS 与非门采用+5V 电源供电，输入端在下面四种接法下都属于逻辑 0

①输入端接地

②输入端低于 1.5V 的电源

③输入端接同类与非门的输出电压低于 0.1V

④输入端接 10$K\Omega$ 电阻到地

74LS00 为 TTL 与非门，采用+5V 电源供电，采用下列 4 种接法都属于逻辑 1

①输入端悬空

②输入端接高于 2V 电压

③输入端接同类与非门的输出高电平 3.6V

④输入端接 10$K\Omega$ 电阻到地

研习社24西电9021/9024考研复试t4vizuddk
西电通院电院智能院考研群：702628797

第四章 组合逻辑电路

4.1 复试笔试点睛

竞争和冒险的情况、如何消去竞争和冒险，组合逻辑电路的设计，常见典型逻辑电路的设计和分析。

4.2 复试笔试重难点知识点

一、组合逻辑电路的设计方法

根据实际需要，设计组合逻辑电路基本步骤如下：

1.逻辑抽象

①分析设计要求，确定输入、输出信号及其因果关系

②设定变量，即用英文字母表示输入、输出信号

③状态赋值，即用 0 和 1 表示信号的相关状态

④列真值表，根据因果关系，将变量的各种取值和相应的函数值用一张表格一一列举，变量的取值顺序按二进制数递增排列。

2.化简

①输入变量少时，用卡诺图

②输入变量多时，用公式法

3.写出逻辑表达式，画出逻辑图

①变换最简与或表达式，得到所需的最简式

②根据最简式，画出逻辑图

例，设计一个 8421BCD 检码电路，要求当输入量 ABCD<3 或>7 时，电路输出为高电平，试用最少的与非门实现该电路。

解：1.逻辑抽象

①分由题意，输入信号是四位 8421 B C D码为十进制，输出为高、低电平；

②设输入变量为 DCBA，输出变量为 L；

③状态赋值及列真值表

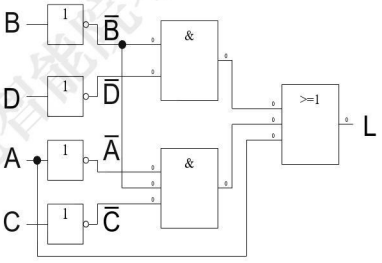
由题意，输入变量的状态赋值及真值表如下表所示。

A	B	C	D	L
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	×
1	0	1	1	×
1	1	0	0	×
1	1	0	1	×
1	1	1	0	×
1	1	1	1	×

AB \ CD	00	01	11	10
00	1	1	0	1
01	0	0	0	0
11	×	×	×	×
	1	1	×	×

2.化简

由于变量个数较少，帮用卡诺图化简



3.写出表达式

经化简，得到 $L = A + \overline{B}\overline{D} + \overline{A}\overline{B}\overline{C}$

4.画出逻辑图

二、用组合逻辑集成电路构成函数

①74LS151 的逻辑图如右图图中，$\overline{E}$ 为输入使能端，低电平有效 $S_2S_1S_0$ 为地址输入端，$D_0 \sim D_7$ 为数据选择输入端，Y、$\overline{Y}$ 互非的输出端，其菜单如下表。

研习社24西电9021/9024考研复试t4vizuddk
西电通院电院智能考研群：702628797

$Y = D_0\overline{S_2}\,\overline{S_1}\,\overline{S_0} + D_1\overline{S_2}\,\overline{S_1}S_0 + D_2\overline{S_2}S_1\overline{S_0} + \ldots + D_7S_2S_1S_0$

$Y_i = \sum_{i=0}^{i=7} \Sigma m_i D_i$

其中 m_i 为 $S_2S_1S_0$ 的最小项

D_i 为数据输入

当 $D_i = 1$ 时，与其对应的最小项在表达式中出现

当 $D_i = 0$ 时，与其对应的最小项则不会出现

利用这一性质，将函数变量接入地址选择端，就可实现组合逻辑函数。

②利用入选一数据选择器 74LS151 产生逻辑函数 $L = \overline{A}BC + A\overline{B}C + AB$

解：1）将已知函数变换成最小项表达式

$L = \overline{A}BC + A\overline{B}C + AB$

$= \overline{A}BC + A\overline{B}C + AB(C + \overline{C})$

$= \overline{A}BC + A\overline{B}C + ABC + AB\overline{C}$

2)将 $L = \overline{A}BC + A\overline{B}C + ABC + AB\overline{C}$ 转换成 74LS151 对应的输出形式 $Y_i = \sum_{i=0}^{7} \Sigma m_i D_i$

在表达式的第 1 项 $\overline{A}BC$ 中 $\overline{A}$ 为反变量，B、C 为原变量，故 $\overline{A}BC = 011 \Rightarrow m_3$

在表达式的第 2 项 $A\overline{B}C$，中 A、C 为反变量，为 $\overline{B}$ 原变量，故 $A\overline{B}C = 101 \Rightarrow m_5$

同理 $ABC = 111 \Rightarrow m_7$

$A\bar{B}\bar{C}=110\Rightarrow m_6$

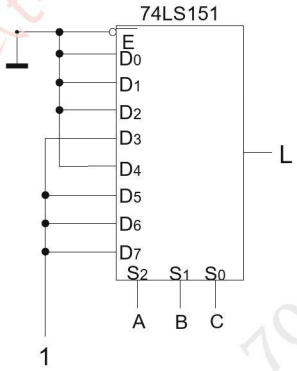
这样 L ＝ $m_3D_3+m_5D_5+m_6D_6+m_7D_7$

将 74LS151 中 m D_3、D_5、D_6、D_7 取 1

即 $D_3=D_5=D_6=D_7=1$

D_0、D_1、D_2、D_4 取 0，即 $D_0=D_1=D_2=D_4=0$

由此画出实现函数 L ＝ $\bar{A}BC+A\bar{B}C+ABC+AB\bar{C}$ 的逻辑图如下图示。



研习社24西电9021/9024考研复试t4yizuddk
西电通院电院智能院考研群：702628797

第 5 章 锁存器和触发器

5.1 复试笔试点睛

各种触发器的使用和特性。基于触发器的时序电路设计。

5.2 复试笔试重难点知识点

一、触发器分类：基本 R-S 触发器、同步 RS 触发器、同步 D 触发器、主从 R-S 触发器、主从 JK 触发器、边沿触发器{上升沿触发器（D 触发器、JK 触发器）、下降沿触发器（D 触发器、JK 触发器）

二、触发器逻辑功能的表示方法

触发器逻辑功能的表示方法，常用的有特性表、卡诺图、特性方程、状态图及时序图。

对于第 5 章 表示逻辑功能常用方法有特性表，特性方程及时序图

对于第 6 章 上述 5 种方法其本用到。

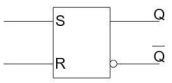
三、各种触发器的逻辑符号、功能及特性方程

1.基本 R-S 触发器 逻辑符号 逻辑功能

特性方程：

$Q^{n+1}=S+\overline{R}Q^n$

$R\cdot S=0$（约束条件）



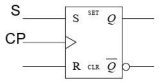
若 $R=1,S=0$，则 $Q^{n+1}=0$

若 $R=0,S=0$，则 $Q^{n+1}=1$

若 $R=1,S=0$，则 $Q^{n+1}=Q^n$

若 $R=1,S=1$，则 $Q=\overline{Q}=1$（不允许出现）

研习社24西电9021/9024考研复试4vzuclk 西电通院电院智能院考研群：782628797

2.同步 RS 触发器 

$Q^{n+1}=S+\overline{R}Q^n$（CP＝1 期间有效）

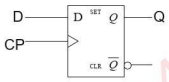
$R\cdot S=0$ （约束条件）

若 $R=1,S=0$，则 $Q^{n+1}=0$

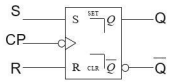
若 $R=0,S=0$，则 $Q^{n+1}=1$

若 $R=1,S=0$，则 $Q^{n+1}=Q^n$

若 $R=1,S=1$，则 $Q=\overline{Q}=1$ 处于不稳定状态

3.同步 D 触发器 

特性方程 $Q^{n+1}=D$ (CP=1 期间有效)

4.主从 R-S 触发器 

特性方程 $Q^{n+1}=S+\overline{R}Q^n$ (作用后)

$R\cdot S=0$ 约束条件

逻辑功能

若 $R=1,S=0$，CP 作用后，$Q^{n+1}=0$

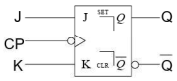
若 $R=0,S=1$，CP 作用后，$Q^{n+1}=1$

若 $R=0,S=0$，CP 作用后，$Q^{n+1}=Q^n$

若 $R=1,S=1$，CP 作用后，处于不稳定状态

Note: CP 作用后指 C P 由 0 变为 1，再由 1 变为 0 时

研习社24西电9021/9024考研复试t4vizuddn 研习社教育 西电通院电院智能院考研群：702628797

5.主从 JK 触发器 

特性方程为： $Q^{n+1}=J\overline{Q^n}+\overline{K}Q^n$ (CP 作用后)

逻辑功能

若 $J=1,K=0$， CP 作用后， $Q^{n+1}=1$

若 $J=0,K=1$， CP 作用后， $Q^{n+1}=0$

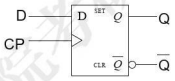
若 $J=1,K=0$， CP 作用后， $Q^{n+1}=Q^n$ (保持)

若 $J=1,K=1$， CP 作用后， $Q^{n+1}=\overline{Q^n}$ (翻转)

7. 边沿触发器

边沿触发器指触发器状态发生翻转在 CP 产生跳变时刻发生，

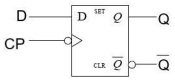
边沿触发器分为：上升沿触发和下降沿触发

1）边沿 D 触发器 

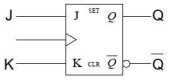
①上升沿 D 触发器

其特性方程 $Q^{n+1}=D$ (CP 上升沿到来时有效)

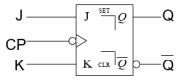
②下降沿 D 触发器

其特性方程 $Q^{n+1}=D$ (CP 下降沿到来时有效) 

2）边沿 JK 触发器

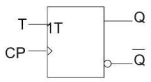
①上升沿 JK 触发器 

其特性方程 $Q^{n+1}=J\overline{Q^n}+\overline{K}Q^n$ (CP 上升沿到来时有效)

②下降沿 JK 触发器 

其特性方程 $Q^{n+1}=J\overline{Q^n}+\overline{K}Q^n$ (CP 下降沿到来时有效)

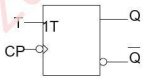
3） T 触发器



①上升沿 T 触发器

其特性方程 $Q^{n+1}=T\oplus Q^n$ (CP 上升沿到来时有效)

②下降沿 T 触发器



其特性方程: $Q^{n+1}=T\oplus Q^n$ (CP 下降沿到来时有效)

例：设图 A 所示电路中，已知 A 端的波形如图 B 所示，试画出 Q 及 B 端波形，设触发器初始状态为 0.

由于所用触发器为下降沿触发的 D 触发器，

其特性方程为 $Q^{n+1}=D=\overline{Q^n}$ (CP 下降沿到来时) B =CP= $A\oplus\overline{Q^n}$

t_1 时刻之前 $Q^n=1$， $\overline{Q^n}=0$， A＝0

CP=B=0⊕0=0

t_1 时刻到来时 $Q^n=0$， A＝1

CP=B=1⊕0=1 $Q^n=0$ 不变

t_2 时刻到来时 A＝0， $Q^n=0$，故 B=CP=0，当 CP 由 1 变为 0 时， $Q^{n+1}=\overline{Q^n}=\bar{0}=1$

当 $Q^{n+1}=1$，而 A=0⇒CP=1

t_3 时刻到来时，A=1， $Q^n=1\Rightarrow$ CP=A⊕ Q^n =0

当 CP＝0 时， $Q^{n+1}=\overline{Q^n}=0$

当 $Q^{n+1}=0$ 时，由于 A=1，故 CP= A⊕ Q^n =1

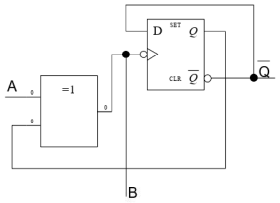


图 A

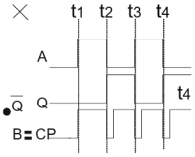


图 B

若电路如图 C 所示，设触发器初始状态为 0，C 的波形如图 D 所示,试画出 Q 及 B 端的波形

当特性方程 $Q^{n+1}=D=\overline{Q^n}$（CP 下降沿有效）

t_1时刻之前，A=0, Q=0, CP=B= $A\otimes Q^n=1$

t_1时刻到来时 A＝1， $Q^n=0$ 故 CP=B= $A\otimes Q^n=1\otimes 0=0$

当 CP 由 1 变为 0 时，$Q^{n+1}=\overline{Q^n}=1$

当 $Q^n=1$ 时，由于 A=1,故 CP＝$1\otimes 1$，Q^n 不变

t_2时刻到来时，$\because$ A＝0，$Q^n=1$，故 CP=B= $A\otimes 1=0$

此时，CP 由 1 变为 0 时，$Q^{n+1}=\overline{Q^n}=0$

当 $Q^n=0$ 时，由于 A＝0 故 CP=0⊗0=1

t_3时刻到来时，由于 A=1，而 $Q^n=0$，故 CP＝ $A\otimes Q^n=0$

当 CP 由 1 变为 0 时，$Q^{n+1}=\overline{Q^n}=1$

当 Q＝1 时，由于 A＝1，故 C P＝B＝$1\otimes 1=1$

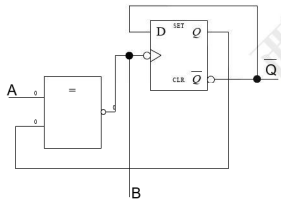


图 C

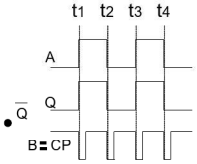
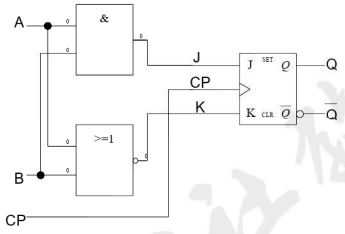


图 D

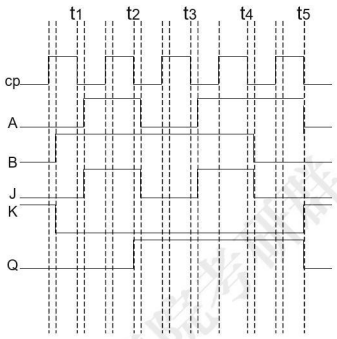
例：试写出如图示电路的特性方程，并画出如图示给定信号 CP、A 、 B 作用下 Q 端的波形， 设触发器的初始状态为 0.



解：由题意该触发器为下降沿触发器 JK 触发器其特性方程

$$Q^{n+1} = J\overline{Q^n} + \overline{K}Q^n$$ （CP 下降沿到来时有效）

其中 $J = A \cdot B$ $K = \overline{A \cdot B}$



由 JK 触发器功能：

J=1, K=0 CP 作用后 $Q^{n+1} = 1$

J=0, K=0 CP 作用后 $Q^{n+1} = 0$

J=0, K=0 CP 作用后 $Q^{n+1} = Q^n$

J=1, K=1 CP 作用后 $Q^{n+1} = \overline{Q^n}$

研习社24西电9021/9024考研复试t4vizuddk
西电通院电院智能院考研群：702628797

第 6 章 时序逻辑电路

6.1 复试笔试点睛

本章主要掌握时序逻辑电路的分析，真值表、时序图、卡诺图的画法，时序逻辑电路的设计。

6.2 复试笔试重难点知识点

一、时序逻辑电路分类

时序逻辑电路分为同步时序逻辑电路和异步时序逻辑电路，时序逻辑电路通常由组合逻辑电路和存贮电路两部分组成。

二、同步时序电路分析

分析步骤：①确定电路的组成部分

②确定存贮电路的即刻输入和时序电路的即刻输出逻辑式

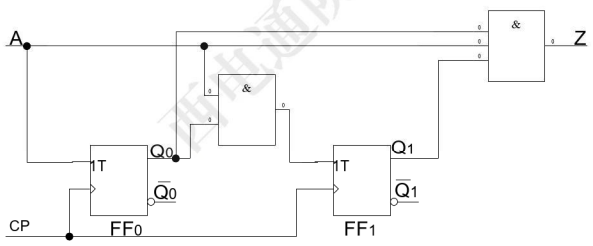
③确定电路的次态方程

④列出电路的特性表和驱动表

⑤由特性表和驱动表画出状态转换图

⑥电路特性描述。

例：分析如下图示同步时序电路的逻辑功能



解：①确定电路的组成部分

该电路由 2 个上升沿触发的 T 触发器和两个与门电路组成的时序电路

②确定存贮电路的即刻输入和时序电路的即刻输出

存贮电路的即刻输入：对于 FF_0： $T_o = A$

对于 FF_1： $T_o = AQ_0^n$

时序电路的即刻输出： $I = AQ_1^nQ_0^n$

③确定电路的状态方程

对于 FF_0： $Q_0^{n+1} = A \oplus Q_0^n$

对于 FF_1： $Q_1^{n+1} = (AQ_0^n) \oplus Q_1^n$

④列出状态表和真值表

由于电路有 2 个触发器，故可能出现状态分别为 00、01、10、11

设 $S_0 = Q_0^nQ_0^n = 00$

$S_1 = Q_0^nQ_0^n = 01$

$S_2 = Q_1^nQ_0^n = 10$

$S_3 = Q_1^nQ_0^n = 11$

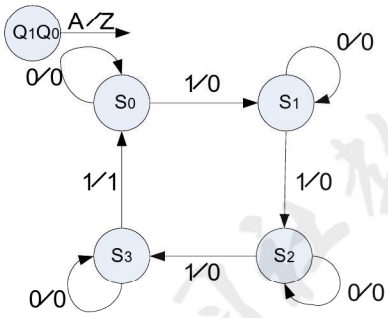
Q_1^n	Q_0^n	Q_1^{n+1} Q_0^{n+1} / Z A=0	A=1
0	0	00/0	01/0
0	1	01/0	10/0
1	0	10/0	11/0
1	1	11/0	00/1

⇒

Q_1^n Q_0^n	Q_1^{n+1} Q_0^{n+1} / Z A=0	A=1
S_0	S_0/0	S_1/0
S_1	S_1/0	S_2/0
S_2	S_2/0	S_3/0
S_3	S_3/0	S_0/1

研习社24西电9021/9024考研复试t4vizuddk
西电通院电院智能院考研群：702628797

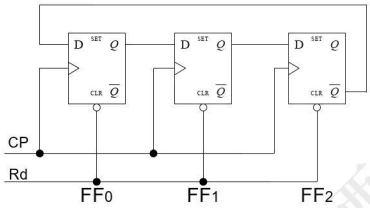
⑤电路状态图为



⑥电路的特性描述

由状态图，该电路是一个可控模 4 加法计数器，当 A=1 时，在 CP 上升沿到来后电路状态值加 1，一旦计数到 11 状态，Y=1，电路状态在下一个 CP 上升沿加到 00，输出信号 Y 下降沿可用于触发器进位操作，当 A=0 时停止计数。

例：试分析下图示电路的逻辑功能



解：①确定电路的组成部分

该电路由 3 个上升沿触发的 D 触发器组成

②确定电路的太方程

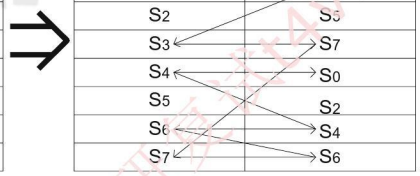
对于 FF_0： $Q_0^{n+1}=D_0=\overline{Q_2^n}$（CP 上升沿到来有效）

对于 FF_1： $Q_1^{n+1}=D_1=Q_0^n$（CP 上升沿到来有效）

对于 FF_2： $Q_2^{n+1}=D_2=Q_1^n$（CP 上升沿到来有效）

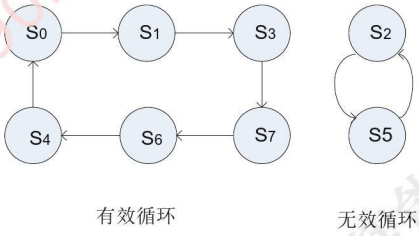
③列出状态转换真值表

Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
0	0	0	0	0	1
0	0	1	0	1	1
0	1	0	1	0	1
0	1	1	1	1	1
1	0	0	0	0	0
1	0	1	0	1	0
1	1	0	1	0	0
1	1	1	1	1	0



④由状态表转换真值表画出如下图示状态图

S_0、S_1、S_3、S_7、S_6、S_4这 6 个状态，形成了主循环电路，S_2、S_5为无效循环



⑤ 逻辑功能分析

由状态图可以看出，此电路正常工作时，每经过 6 个时钟脉冲作用后，电路的状态循环一次，因此该电路为六进制计数器，电路中有 2 个无效状态，构成无效循环，它们不能自动回到主循环，故电路没有自启动能力。

三、同步时序电路设计

同步时序设计一般按如下步骤进行：

1）根据设计要求画出状态逻辑图；

2）状态化简；

3）状态分配；

4）选定触发器的类型，求输出方程、状态方程和驱动方程；

5）根据方程式画出逻辑图；

6)检查电路能否自启动，如不能自启动，则应采取措施加以解决。

例：用 JK 触发器设计一同步时序电路，其状态如下表所示，分析如图示同步时序电路。

Q_2^n	Q_1^n	$Q_2^{n+1}\ Q_1^{n+1}$ / Y	
		A=0	A=1
0	0	01/0	11/0
0	1	10/0	00/0
1	0	11/0	01/0
1	1	00/1	10/1

解：

由题意，状态图已知，状态表已知。故进行状态分配及求状态方程，输出方程。

由于有效循环数 N=4，设触发器个数为 K,则 $2^k \geqslant 4$ 得到 K=2.

故选用 2 个 JK 触发器，将状态表列为真值表，求状态方程及输出方程。

A	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Y
0	0	0	0	1	0
0	0	1	1	0	0
0	1	0	1	1	0
0	1	1	0	0	1
1	0	0	1	1	0
1	0	1	0	0	0
1	1	0	0	1	0
1	1	1	1	0	1

Y 的卡诺图：

A \ $Q_1^nQ_0^n$	00	01	11	10
0	0	0	1	0
1	0	0	1	

$Y=Q_1^nQ_0^n$

Q_0^{n+1} 的卡诺图：

A \ $Q_1^nQ_0^n$	00	01	11	10
0	1	0	0	1
1	1	0	0	1

$Q_0^{n+1}=\overline{Q_0^n}$

Q_1^{n+1} 的卡诺图：

A \ $Q_1^nQ_0^n$	00	01	11	10
0	0	1	0	1
1	1	0	1	0

$$Q_1^{n+1}=A\overline{Q_1^n}\,\overline{Q_0^n}+AQ_1^nQ_0^n+\overline{A}\,\overline{Q_1^n}Q_0^n+\overline{A}Q_1^n\overline{Q_0^n}$$

$$=(A\overline{Q_0^n}+\overline{A}Q_0^n)\overline{Q_1^n}+(AQ_0^n+\overline{A}\,\overline{Q_0^n})Q_1^n$$

$$=(\mathrm{A}\oplus Q_0^n)\,\overline{Q_1^n}+(\overline{A\oplus Q_0^n})Q_1^n$$

将 $Q_1^{n+1}=\overline{Q_0^n}$

$Q_1^{n+1}=(\mathrm{A}\oplus Q_0^n)\,\overline{Q_1^n}+(\overline{A\oplus Q_0^n})Q_1^n$ 分别写成 JK 触发器的标准形式：

$Q_1^{n+1}=\mathrm{J}\ \ \overline{Q^n}+\overline{K}Q^n$

对于 F $F_0:Q_0^{n+1}=1\cdot\overline{Q_0^n}+\bar{1}\cdot Q_0^n$

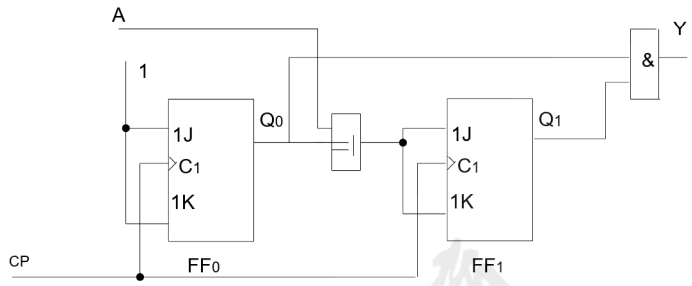
得到 $J_0=1$，$K_0=1$

对于方程 $Q_1^{n+1}=(\mathrm{A}\oplus Q_0^n)\,\overline{Q_1^n}+(\overline{A\oplus Q_0^n})Q_1^n$

得到 $J_1=\mathrm{A}\oplus Q_0^n$

$K_1=\mathrm{A}\oplus Q_0^n$

画出逻辑图，选用上升沿触发的 JK 触发器



研习社24西电9021/9024考研复试t4vizuddk
西电通院电院智能院考研群：702628797

第 7 章 脉冲波形的产生与整形

7.1 复试笔试点睛

本章主要是掌握 555 定时器及其典型应用电路。

7.2 复试笔试重难点知识点

555 定时器及其应用

1.电路结构及工作原理

555 定时器内部由分压器、电压比较器、RS 锁存器（触发器）和集电极开路的三极管 T 等三部分组成，其内部结构及示意图如图 22a)、22b)所示。



图22b) 引脚图

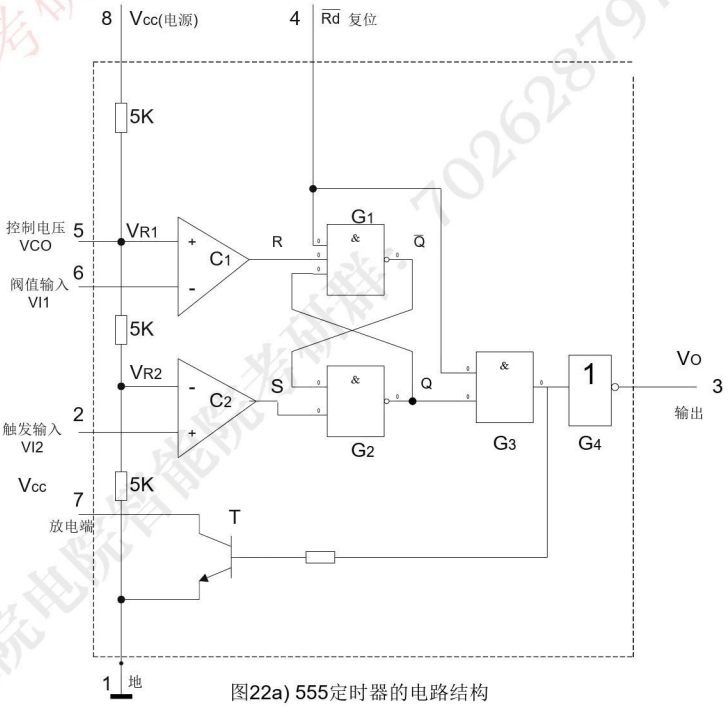


图22a) 555定时器的电路结构

在图 22b）中，555 定时器是 8 引脚芯卡，放电三极管为外接电路提供放电通路，在使用定时器时，该三极管集电极（第 7 脚）一般要接上拉电阻，C_1为反相比较器，C_2为同相比较器，比较器的基准电压由电源电压V_{CC}及内部电阻分压比决定，在控制V_{CO}（第 5 脚）悬空时，$V_{R_1}=\frac{2}{3}V_{CC}$、$V_{R_2}=\frac{1}{3}V_{CC}$；如果第 5 脚外接控制电压，则$V_{R_1}=V_{CO}$、$V_{R_2}=\frac{1}{2}V_{CO}$，$\overline{R_d}$端（第 4 脚）是复位端，只要$\overline{R_d}$端加上低电平，输出端（第 3 脚）立即被置成低电平，不受其它输入状态的影响，因此正常工作时必须使$\overline{R_d}$端接高电平。

由图 22a)，G_1和G_2组成的 RS 触发器具有复位控制功能，可控制三极管 T 的

导通和截止。

由图 22a)可知，

当$V_{i1}>V_{R_1}$（即$V_{i1}>\frac{2}{3}V_{CC}$）时，比较器C_1输出$V_R=0$

当$V_{i2}>V_{R_2}$（即$V_{i2}>\frac{1}{3}V_{CC}$）时，比较器C_2输出$V_S=1$

RS 触发器 Q＝0

G_3输出为高电平，三极管 T 导通，输出为低电平（$V_o=0$）

当$V_{i1}<V_{R_1}$（即$V_{i1}<\frac{2}{3}V_{CC}$）,$V_{i2}<\frac{1}{3}V_{CC}$时，比较器C_1输出高电平，$V_R=1$，C_2输出为低电平$V_S=0$

基本 RS 触发器 Q＝1，G_3输出为低电平，三极管 T 截止，同时G_4输出为高电平。

当$V_{i1}>V_{R_1}$（即$V_{i1}>\frac{2}{3}V_{CC}$）时，比较器C_1输出$V_R=0$

当$V_{i2}<V_{R_2}$（即$V_{i2}<\frac{1}{3}V_{CC}$）时，比较器C_2输出$V_S=0$

$\Rightarrow G_1$、G_2输出 Q＝1，$\overline{Q}=1$

同进 T 截止，G_4输出为高电平

这样，就得到了表 2 所示 555 功能表。

表 2 555定时器功能表

$\overline{Rd}$	VI1	VI2	VO	T的状态
0	×	×	0	导通
1	＞$\frac{2}{3}$Vcc	＞$\frac{1}{3}$Vcc	0	导通
1	＜$\frac{2}{3}$Vcc	＜$\frac{1}{3}$Vcc	1	截止
1	＞$\frac{2}{3}$Vcc	＜$\frac{1}{3}$Vcc	1	截止
1	＜$\frac{2}{3}$Vcc	＞$\frac{1}{3}$Vcc	不变	不变

2.应用

1）用 555 构成单稳态触发器

其连接图如图 23 所示。

若将其第 2 脚（V_{i2}）作为触发器信号的输入端，第 8 脚外接电阻 R 是第 7

脚;第 7 脚与第 1 脚之间再接一个电容 C，则构成了单稳态触发器。

其工作原理如下：

电源接通瞬间，电路有一个稳定的过程，即电源通过 R 向 C 充电，当V_C上升到$\frac{2}{3}V_{CC}$时，V_O为低电平，放电三极管和 T 导通，电容 C 放电，电路进入稳定状态。

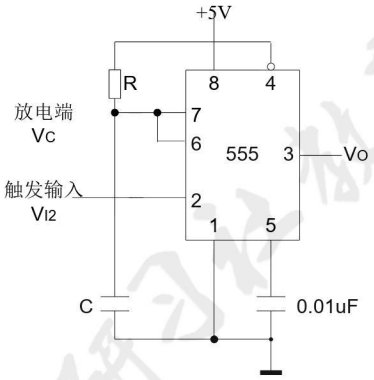


图23 用555定时器接成的单稳态触发器

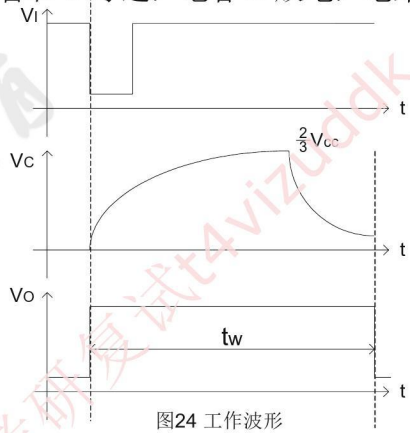


图24 工作波形

若触发输入端施加触发信号（$V_i < \frac{1}{3}V_{CC}$），触发器翻转，电路进入暂稳态，V_O输出为高电平，且放电三极管 T 截止，此后电容 C 充电至$V_C = \frac{2}{3}V_{CC}$时，电路又发生翻转，V_O为低电平，放电三极管导通，电容 C 放电，电路恢复至稳定状态。

其工作波形如图 24 所示。

$t_w = RC\ln 3 = 1.1RC$

2）用 555 构成施密特触发器

将 555 定时器的V_{i1}和V_{i2}两个输入端连在一起作为信号输入端，即可得到施密特触发器，如图 25 所示，施密特触发器能方便地将三角波、正弦波变成方波。

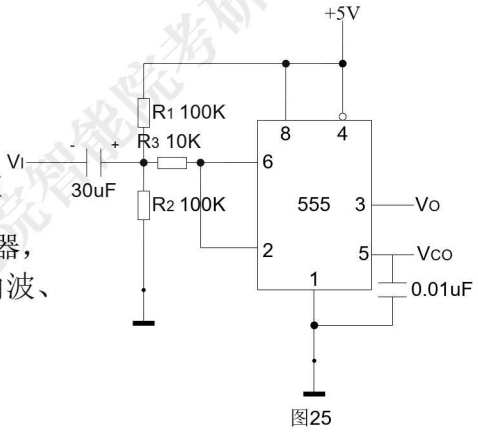


图25

由于 555 内部比较器C_1和C_2的参考电压不同，因而基本 RS 触发器的置 0 信号和置 1 信号必然发生在输入信号的不同电平，因此，输出电压V_o由高电平变为低电平和由低电平变为高电平所对应的V_i值也不同，这样，

就形成了施密特触发器。

为提高比较器参考电压V_{R_1}和V_{R_2}的稳定性，通常在V_{CO}端接有 0.01 μF 左右的滤波电容。

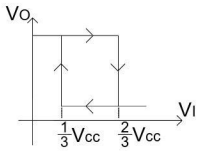


图26

根据 555 定时器的结构和功能可知：

当输入电压$V_i = 0$时，$V_O = 1$，当V_i由 0 逐渐升高到$\frac{2}{3}V_{CC}$时，V_O由 1 变为 0；

当输入电压V_i从高于$\frac{2}{3}V_{CC}$开始下降直到$\frac{1}{3}V_{CC}$，V_O由 0 变为 1；

由此得到 555 构成的施密特触发器的正向阀值电压$V_{T+} = \frac{2}{3}V_{CC}$

负向阀值电压$V_{T-} = \frac{1}{3}V_{CC}$，回差电压$\Delta V_T = V_{T+} - V_{T-} = \frac{1}{3}V_{CC}$

如果参考电压由外接的电压V_{CO}供给，则这时$V_{T+} = V_{CO}$，$V_{T-} = \frac{1}{2}V_{CO}$

$\Delta V_T = \frac{1}{2}V_{CO}$，通过改变$V_{CO}$值可以调节回差电压的大小

3）用 555 构成多谐振荡器

由 555 构成的多谐振荡器及其工作波形如图 27 所示

a. 接通电源后，电容 C 被充电，V_C上升，当V_C上升到$\frac{2}{3}V_{CC}$时，触发器被复位，同时放电三极管 T 导通，此时V_O为低电平，电容 C 通过R_2和 T 放电，使V_C下降；

b. 当V_C下降到$\frac{1}{3}V_{CC}$时，触发器又被置位，V_O翻转为高电平，电容器 C 放电所需的时间为$t_{pL} = R_2 C \ln 2 = 0.7RC$

c. 当 C 放电结束时，T 截止，V_{CC}通过R_1、R_2向电容器 C 充电，V_C由$\frac{1}{3}V_{CC}$上升到$\frac{2}{3}V_{CC}$所需的时间为$t_{pH} = (R_1 + R_2)C \ln 2 = 0.7(R_1 + R_2)C$

d. 当V_C上升到$\frac{2}{3}V_{CC}$时，触发器又发生翻转，如此周而复始，在输出端就得到一个周期性的方波，其频率为$f = \frac{1}{t_{pL} + t_{pH}} = \frac{1.43}{(R_1 + R_2)C}$

在图 16 所示电路中，$t_{pL} \neq t_{pH}$，而且占空比固定不变，若将图 16 改成 17 所

示电路，电路利用D_1、D_2单向导电性将电容器 C 放电回路分开，再加上电位器调节，使构成了占空比可调 的多谐振荡器。

图中，V_{CC}通过R_A、D_1向电容 C 充电，充电时间为$t_{pH}=0.7R_AC$

电容 C 通过D_2、R_B及 555 中的放电三极管 T 放电，放电时间为$t_{pL}=0.7R_BC$

因而振荡频率为$f=\dfrac{1}{t_{pL}+t_{pH}}=\dfrac{1.43}{(R_A+R_B)C}$

可见，这种振荡器输出波形占空比为$q(\%)=\dfrac{R_A}{R_A+R_B}\times 100\%$

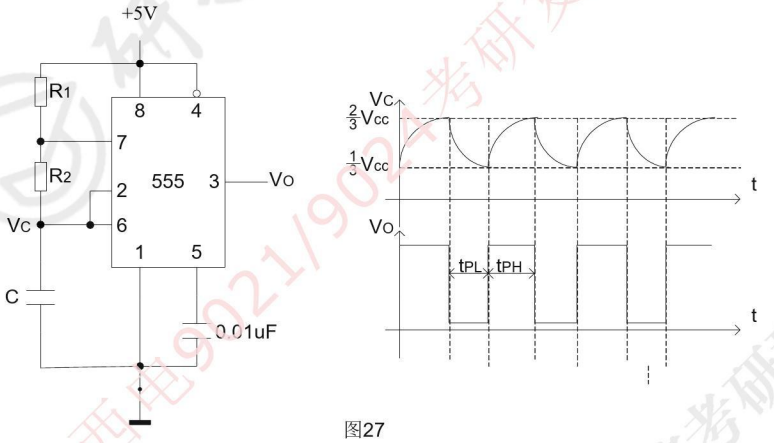


图27

科目二：模拟电子技术基础

第一章 半导体二极管

1.1 复试笔试点睛

本章主要是一些半导体的基础知识，内在原理。

1.2 复试笔试重难点知识点

一.半导体的基础知识

1.半导体---导电能力介于导体和绝缘体之间的物质(如硅 Si、锗 Ge)。

2.特性---光敏、热敏和掺杂特性。

3.本征半导体----纯净的具有单晶体结构的半导体。

4. 两种载流子 ----带有正、负电荷的可移动的空穴和电子统称为载流子。

5.杂质半导体----在本征半导体中掺入微量杂质形成的半导体。体现的是半导体的掺杂特性。

*P 型半导体: 在本征半导体中掺入微量的三价元素（多子是空穴，少子是电子）。

*N 型半导体: 在本征半导体中掺入微量的五价元素（多子是电子，少子是空穴）。

6. 杂质半导体的特性

*载流子的浓度---多子浓度决定于杂质浓度，少子浓度与温度有关。

*体电阻---通常把杂质半导体自身的电阻称为体电阻。

研习社24西电9021/9024考研复试t4vizuddk 西电通院电院智能院考研群：706628797

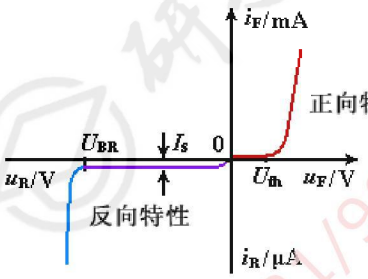
*转型---通过改变掺杂浓度，一种杂质半导体可以改型为另外一种杂质半导体。

7. PN 结

* PN 结的接触电位差---硅材料约为 0.6~0.8V，锗材料约为 0.2~0.3V。

* PN 结的单向导电性---正偏导通，反偏截止。

8. PN 结的伏安特性



二. 半导体二极管

*单向导电性------正向导通，反向截止。

*二极管伏安特性----同 P N 结。

*正向导通压降------硅管 0.6~0.7V，锗管 0.2~0.3V。

*死区电压------硅管 0.5V，锗管 0.1V。

3.分析方法------将二极管断开，分析二极管两端电位的高低:

若 $V_{阳} > V_{阴}$(正偏)，二极管导通(短路);

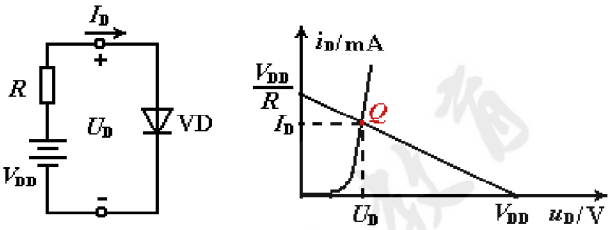
若 $V_{阳} < V_{阴}$(反偏)，二极管截止(开路)。

1）图解分析法

$U_D = V_{DD} - I_D R$

该式与伏安特性曲线

的交点叫静态工作点 Q。



（a）二极管电路 （b）图解分析

2) 等效电路法

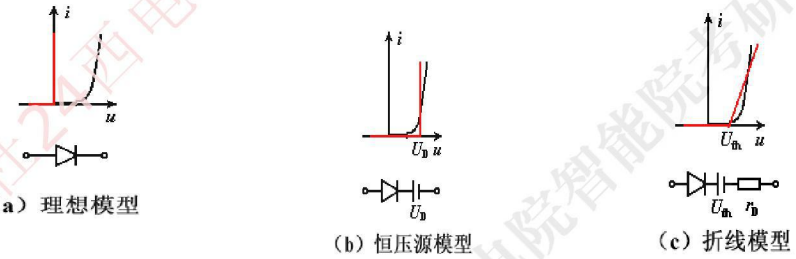
➢ 直流等效电路法

*总的解题手段----将二极管断开，分析二极管两端电位的高低:

若 V 阳 >V 阴(正偏)，二极管导通(短路);

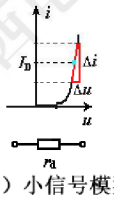
若 V 阳 <V 阴(反偏)，二极管截止(开路)。

*三种模型



（a）理想模型 （b）恒压源模型 （c）折线模型

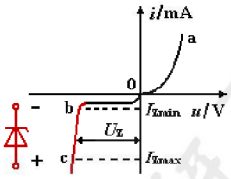
➢ 微变等效电路法



$r_d \approx \frac{U_T}{I_{DQ}}$ （d）小信号模型

三.稳压二极管及其稳压电路

*稳压二极管的特性---正常工作时处在 PN 结的反向击穿区，所以稳压二极管在电路中要反向连接。



稳压管的伏安特性

研习社24西电9021/9024考研复试t4vizuddn
西电通院电院智能院考研群：702628797

第二章 三极管及其基本放大电路

2.1 复试笔试点睛

本章主要是三极管原理及其组成的各种基本放大电路的计算和分析。

2.2 复试笔试重难点知识点

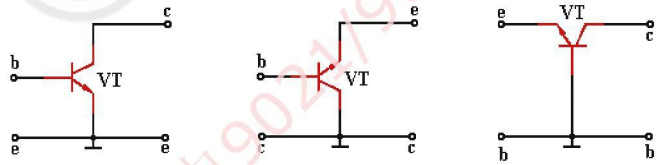
一. 三极管的结构、类型及特点

1.类型---分为 NPN 和 PNP 两种。

2.特点---基区很薄，且掺杂浓度最低；发射区掺杂浓度很高，与基区接触面积较小；集电区掺杂浓度较高，与基区接触面积较大。

二. 三极管的工作原理

1. 三极管的三种基本组态



(a)共发射极组态 (b)共集电极组态 (c)共基极组态

2. 三极管内各极电流的分配

$I_C = I_{CN} + I_{CBO}$ $I_E = I_{BN} + I_{CN} = I_B + I_C$ $I_B = I_{BN} - I_{CBO}$

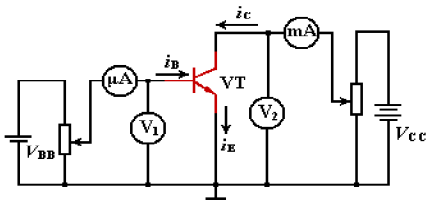
* 共发射极电流放大系数 (表明三极管是电流控制器件

$$\beta = \frac{I_{CN}}{I_{BN}} \qquad I_C = \beta I_B + (1+\beta) I_{CBO} = \beta I_B + I_{CEO} \approx \beta I_B$$

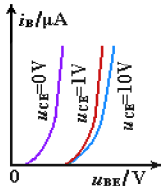
式子 $I_{CEO} = (1+\beta) I_{CBO}$ 称为穿透电流。

3. 共射电路的特性曲线

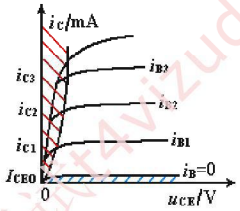
*输入特性曲线---同二极管。



（a）测试电路



（b）输入特性曲线



（c）输出特性曲线

* 输出特性曲线

(饱和管压降，用 U_{CES} 表示

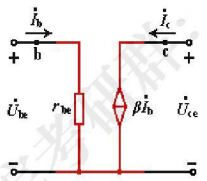
放大区---发射结正偏，集电结反偏。

截止区---发射结反偏，集电结反偏。

4. 温度影响

温度升高，输入特性曲线向左移动。

温度升高 I_{CBO}、 I_{CEO} 、 I_C 以及 β 均增加。



（c）简化的H参数等效电路

三. 低频小信号等效模型（简化）

h_{ie}---输出端交流短路时的输入电阻，

常用 r_{be} 表示；

h_{fe}---输出端交流短路时的正向电流传输比，

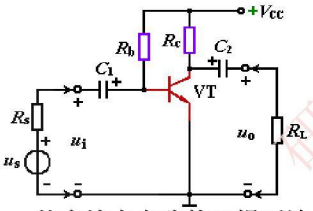
常用 β 表示；

研习社24西电9021/9024考研复试4vizuddk 702628797
西电通院电子智能考研班

四. 基本放大电路组成及其原则

1. VT、 V_{CC}、 R_b、 R_c 、C_1、C_2 的作用。

2.组成原则----能放大、不失真、能传输。



基本放大电路的习惯画法

五. 放大电路的图解分析法

1. 直流通路与静态分析

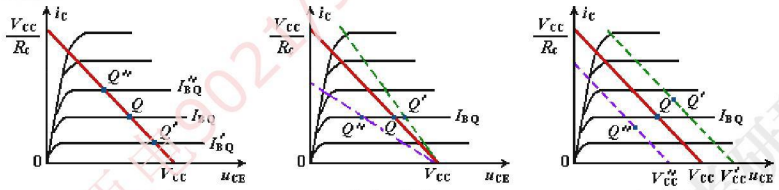
*概念---直流电流通的回路。

*画法---电容视为开路。

*作用---确定静态工作点

*直流负载线---由 $V_{CC}=I_CR_C+U_{CE}$ 确定的直线。

*电路参数对静态工作点的影响



（a）改变R_b （b）改变R_c （c）改变V_{CC}

1）改变 R_b ： Q 点将沿直流负载线上下移动。

2）改变 R_c ： Q 点在 I_{BQ} 所在的那条输出特性曲线上移动。

3）改变 V_{CC}：直流负载线平移，Q 点发生移动。

2. 交流通路与动态分析

*概念---交流电流流通的回路

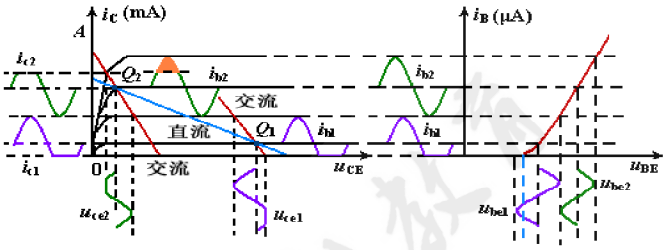
*画法---电容视为短路,理想直流电压源视为短路。

*作用---分析信号被放大的过程。

*交流负载线--- 连接 Q 点和 V_{CC}'点 $V_{CC}'= U_{CEQ}+I_{CQ}R_L'$的

直线。

3. 静态工作点与非线性失真



（b）输出特性图解法 （a）输入特性图解法

（1）截止失真

*产生原因---*Q* 点设置过低

*失真现象---NPN 管削顶，PNP 管削底。

*消除方法---减小 *R*b，提高 *Q*。

（2） 饱和失真

*产生原因---*Q* 点设置过高

*失真现象---NPN 管削底，PNP 管削顶。

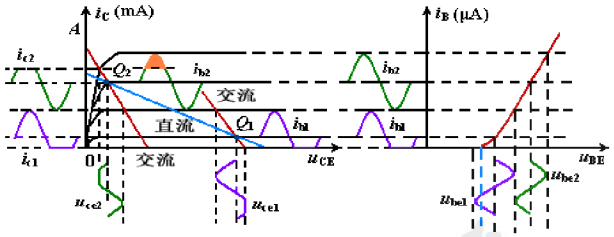
*消除方法---增大 R_b、减小 *R*c、增大 V_{CC} 。

4. 放大器的动态范围

（1） *U*opp---是指放大器最大不失真输出电压的峰峰值。

（2）范围

*当（$U_{CEQ}-U_{CES}$）＞（$V_{CC}'-U_{CEQ}$ ）时，受截止失真限制，$U_{OPP}=2U_{OMAX}=2I_{CQ}R_L'$。



（b）输出特性图解法 （a）输入特性图解法

*当（$U_{CEQ}-U_{CES}$）＜（V_{CC}' － U_{CEQ} ）时，受饱和失真限制，$U_{OPP}=2U_{OMAX}=2$ （$U_{CEQ}-U_{CES}$）。

*当（$U_{CEQ}-U_{CES}$）＝（V_{CC}' － U_{CEQ} ），放大器将有最大的不失真输出电压。

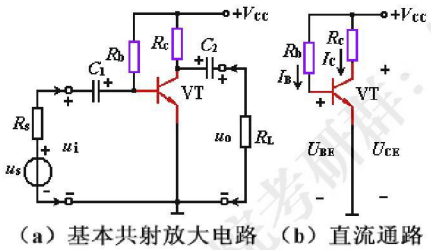
六. 放大电路的等效电路法

1. 静态分析

（1）静态工作点的近似估算

$$I_{BQ}=\frac{V_{CC}-U_{BEQ}}{R_b}$$

$$I_{CQ}\approx\beta I_{BQ}$$



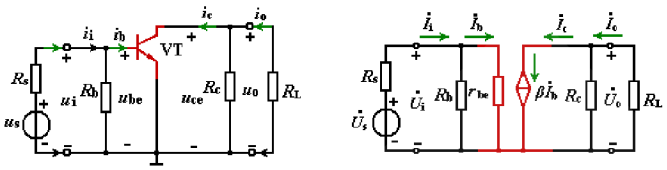
（a）基本共射放大电路 （b）直流通路

$$U_{CEQ}=V_{CC}-I_{CQ}R_c$$

（2）Q 点在放大区的条件

欲使 Q 点不进入饱和区，应满足 $R_B>\beta Rc$ 。

2. 放大电路的动态分析



（a）交流通路　　（b）微变等效电路

* 放大倍数

$$\dot{A}_u = \frac{\dot{U}_o}{\dot{U}_i} = -\frac{\beta R'_L}{r_{be}} \qquad \dot{A}_{us} = \frac{\dot{U}_o}{\dot{U}_s} = \frac{R_i}{R_s + R_i}\dot{A}_u = -\frac{R_i}{R_s + R_i}\cdot\frac{\beta R'_L}{r_{be}}$$

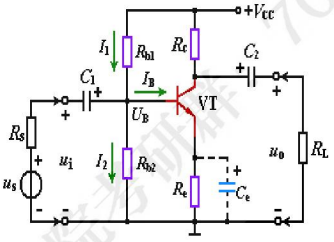
* 输入电阻

$$R_i = \frac{\dot{U}_i}{\dot{I}_i} = \frac{\dot{U}_i}{\dot{U}_i/R_b + \dot{U}_i/r_{be}} = R_b // r_{be}$$

* 输出电阻

$$R_o = \frac{\dot{U}_T}{\dot{I}_T} \approx R_c$$

七.分压式稳定工作点共射放大电路的等效电路法

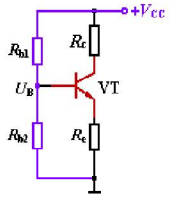


稳定工作点放大器

1．静态分析

$$U_B \approx \frac{R_{b2}}{R_{b1} + R_{b2}} V_{CC}$$

$$I_{CQ} \approx \frac{U_B - U_{BEQ}}{R_e}, \quad I_{BQ} \approx I_{CQ}/\beta$$

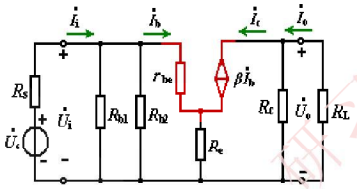


（a）直流通路

$$U_{CEQ} \approx V_{CC} - I_{CQ}(R_c + R_e)$$

2．动态分析

*电压放大倍数


微变等效电路

$$\dot{A}_u = \frac{\dot{U}_o}{\dot{U}_i} = -\frac{\beta R'_L}{r_{be} + (1+\beta)R_e}$$

在 *Re* 两端并一电解电容 *Ce* 后

$$\dot{A}_u = \frac{\dot{U}_o}{\dot{U}_i} = -\frac{\beta R'_L}{r_{be}} \quad \dot{A}_{us} = \frac{\dot{U}_o}{\dot{U}_s} = \frac{R_i}{R_i + R_s}\dot{A}_u$$

输入电阻

$$R_i = R_{b1} // R_{b2} // [r_{be} + (1+\beta)R_e]$$

在 *Re* 两端并一电解电容 *Ce* 后

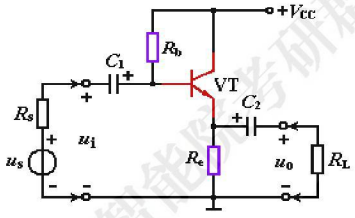
$$R_i = R_{b1} // R_{b2} // r_{be}$$

* 输出电阻

$$R_o \approx R_c$$

八. 共集电极基本放大电路

1．静态分析


（a）共集电极基本放大电路

$$I_{BQ} = \frac{V_{CC} - U_{BEQ}}{R_b + (1+\beta)R_e}$$

$$I_{CQ} \approx \beta I_{BQ}$$

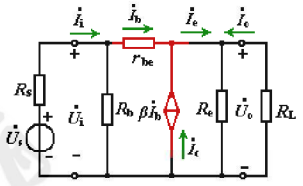
$$U_{CEQ} \approx V_{CC} - I_{CQ}R_e$$

研习社24西电9021/9024考研复试t4vizuddk 西电通院电院智能考研群：702628797

2．动态分析

* 电压放大倍数

$$\dot{A}_u = \frac{\dot{U}_o}{\dot{U}_i} = \frac{(1+\beta)R'_L}{r_{be}+(1+\beta)R'_L}$$



（b）H参数等效电路

* 输入电阻

$$R_i = R_b // [r_{be}+(1+\beta)(R_e // R_L)]$$

* 输出电阻

$$R_o = \frac{\dot{U}_T}{\dot{I}_T} = R_e // \frac{r_{be}+R_{sb}}{1+\beta}$$

3．电路特点

* 电压放大倍数为正，且略小于 1，称为射极跟随器，简称射随器。

* 输入电阻高，输出电阻低。

研习社24西电9021/9024考研复试t4vizuddk
西电通院电院智能院考研群：702628797

研习社24西电9021/9024考研复试t4vizuddk
西电通院电院智能院考研群：702628797

第三章 场效应管及其基本放大电路

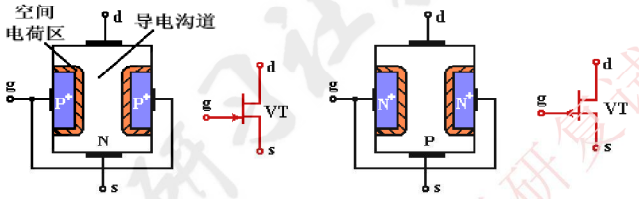
3.1 复试笔试点睛

本章主要是 MOS 器件的内部原理及其组成的基本放大电路分析与计算。

3.2 复试笔试重难点知识点

一. 结型场效应管（ JFET ）

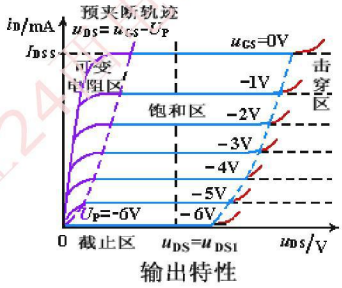
1.结构示意图和电路符号



（a）N-JFET结构及电路符号 （b）P-JFET结构及电路符号

2. 输出特性曲线

（可变电阻区、放大区、截止区、击穿区）



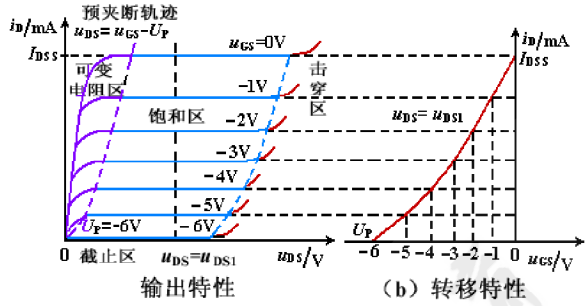
输出特性

转移特性曲线

$$i_D = I_{DSS}(1-\frac{u_{GS}}{U_P})^2 \quad (U_P<u_{GS}\leq 0)$$

U_P----- 截止电压

研习社24西电9021/9024考研复试t4vizuddk
西电通院电院智能院考研群：702628797

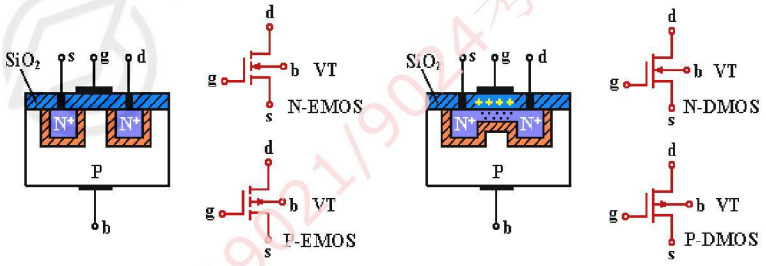


输出特性 （b）转移特性

二. 绝缘栅型场效应管（MOSFET）

分为增强型（EMOS）和耗尽型（DMOS）两种。

结构示意图和电路符号

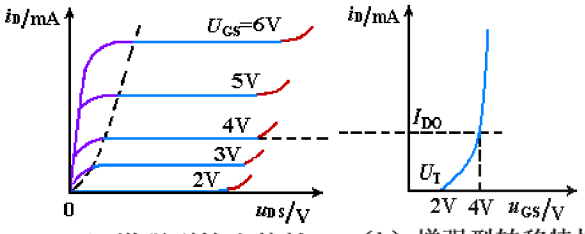


（a）EMOS结构及电路符号 （b）DMOS结构及电路符号

2. 特性曲线

*N-EMOS 的输出特性曲线

研习社24西电9021/9024考研复试t4vizuddk
西电通院电院智能院考研群：702628797

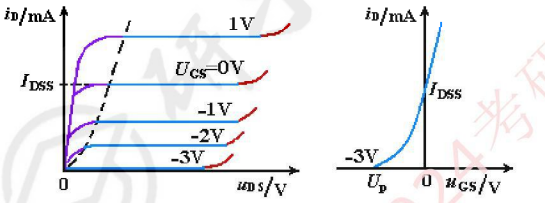


（a）增强型输出特性 （b）增强型转移特性

* N-EMOS 的转移特性曲线 $i_D = I_{DO}(\frac{u_{GS}}{U_T} - 1)^2 \quad (u_{GS} > U_T)$

式中，I_{DO} 是 $U_{GS}=2U_T$ 时所对应的 i_D 值。

* N-DMOS 的输出特性曲线



（c）耗尽型输出特性 （d）耗尽型转移特性

注意：u_{GS} 可正、可零、可负。转移特性曲线上 $i_D=0$ 处的值是夹断电压 U_P，此曲线表示式与结型场效应管一致。

三. 场效应管的主要参数

1.漏极饱和电流 IDSS

2.夹断电压 U_p

3.开启电压 U_T

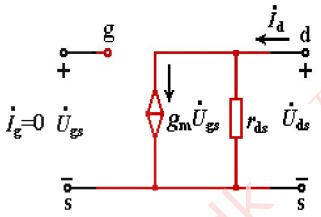
4.直流输入电阻 R_{GS}

5.低频跨导 g_m (表明场效应管是电压控制器件)

研习社24西电9021/9024考研复试t4vizuddk
西电通院电院智能院考研群：702628797

$$g_m = \left.\frac{\partial i_D}{\partial u_{GS}}\right|_{u_{DS}=常数}$$

四. 场效应管的小信号等效模型



场效应管微变等效电路

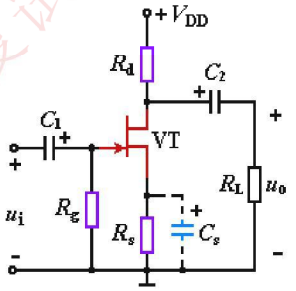
$$\dot{I}_d = g_m\dot{U}_{gs} + \frac{\dot{U}_{ds}}{r_{ds}} \quad g_m = -\frac{2I_{DSS}}{U_P}\left(1-\frac{U_{GSQ}}{U_P}\right)$$

E-MOS 的跨导 g_m ---

$$g_m = \frac{2I_{DO}}{U_T}\left(\frac{U_{GSQ}}{U_T}-1\right)$$

五. 共源极基本放大电路

1.自偏压式偏置放大电路



（a）原理电路

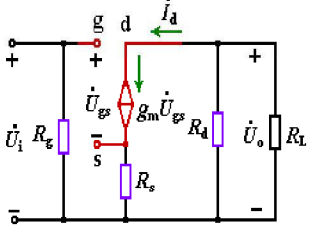
* 静态分析

$$U_{GSQ} = -I_{DQ}R_s$$

$$I_{DQ} = I_{DSS}\left(1-\frac{U_{GSQ}}{U_P}\right)^2$$

$$U_{DSQ} = V_{DD} - I_{DQ}(R_d + R_s)$$

动态分析



（c）微变等效电路

$$\dot{A}_u = \frac{\dot{U}_o}{\dot{U}_i} = \frac{-g_m R'_L}{1+g_m R_s}$$

若带有 C_S，则 $A_u = -g_m R'_L$

研习社24西电9021/9024考研复试t4vizudik 研习社24西电
西电通院电院智能院考研群：702628797

$R_i = R_g$ $R_o \approx R_d$

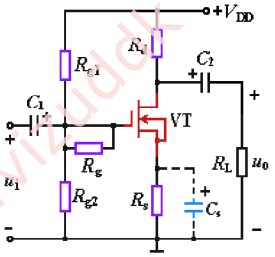
2.分压式偏置放大电路

* 静态分析

$$U_{GSQ} = \frac{R_{g2}}{R_{g1}+R_{g2}} V_{DD} - I_{DQ} R_S$$

$$I_{DQ} = I_{DSS}(1 - \frac{U_{GSQ}}{U_P})^2 \text{或} I_{DQ} = I_{DO}(\frac{U_{GSQ}}{U_T} - 1)^2$$

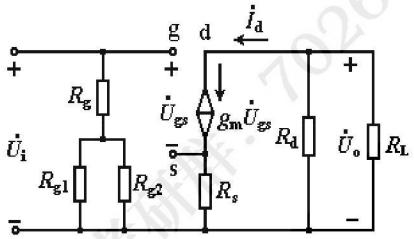
$$U_{DSQ} = V_{DD} - I_{DQ}(R_d + R_S)$$



（a）原理电路

* 动态分析

$$\dot{A}_u = \frac{\dot{U}_o}{\dot{U}_i} = \frac{-g_m R'_L}{1 + g_m R_S}$$



（c）微变等效电路

若源极带有 C_S，则 $A_u = -g_m R'_L$

$R_i = R_g + R_{g1} // R_{g2}$

$R_o \approx R_d$

六.共漏极基本放大电路

* 静态分析

研习社24西电9021/9024考研复试t4v1zuudk
西电通院电院智能院考研复试群：702628797

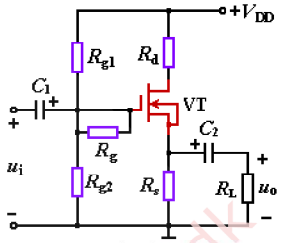
$$U_{GSQ}=\frac{R_{g2}}{R_{g1}+R_{g2}}V_{DD}-I_{DQ}R_s$$

$$I_{DQ}=I_{DSS}(1-\frac{U_{GSQ}}{U_P})^2$$

$$I_{DQ}=I_{DO}(\frac{U_{GSQ}}{U_T}-1)^2$$

或

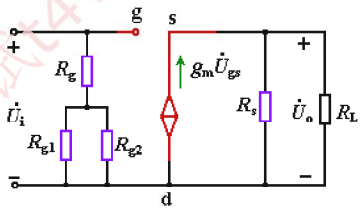
$$U_{DSQ}=V_{DD}-I_{DQ}R_s$$



（a）电路组成

* 动态分析

$$\dot{A}_u=\frac{\dot{U}_o}{\dot{U}_i}=\frac{g_m R'_L}{1+g_m R'_L}$$



（b）微变等效电路

$$R_i=R_g+R_{g1}//R_{g2}\qquad R_o=\frac{\dot{U}_T}{\dot{I}_T}=R_s//\frac{1}{g_m}$$

研习社24西电9021/9024考研复试4vizuoshe
西电通院电院智能院考研群：702628797

西安电子科技大学

2024 年考研专业课复试辅导资料

仅供研习社教育 VIP 群内部交流学习使用（非卖品）

科目代码： 9021/9024　　科目名称： 电子信息技术综合知识一

研习社24西电9021/9024考研复试t4vizuddk
西电通院电院智能院考研群：702628797

第四章 多级放大电路

4.1 复试笔试点睛

本章是多级放大电路，主要在于其分析与计算，其实并不难，要有宏观的视角往下看，再从微观的进行详细分析。

4.2 复试笔试重难点知识点

一.级间耦合方式

1. 阻容耦合----各级静态工作点彼此独立；能有效地传输交流信号；体积小，成本低。但不便于集成，低频特性差。

2. 变压器耦合 ---各级静态工作点彼此独立，可以实现阻抗变换。体积大，成本高，无法采用集成工艺；不利于传输低频和高频信号。

3. 直接耦合----低频特性好，便于集成。各级静态工作点不独立，互相有影响。存在“零点漂移”现象。

*零点漂移----当温度变化或电源电压改变时，静态工作点也随之变化，致使 u_O 偏离初始值“零点”而作随机变动。

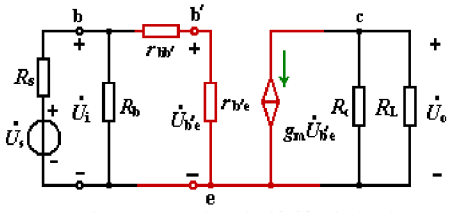
二. 单级放大电路的频率响应

1．中频段($f_L \leqslant f \leqslant f_H$)

$$\dot{A}_{usm} = \frac{\dot{U}_o}{\dot{U}_s} = -g_m R'_L \frac{r_{b'e}}{r_{bb'} + r_{b'e}} \cdot \frac{R_i}{R_i + R_s}$$

或 $$\dot{A}_{usm} = -\frac{\beta}{r_{b'e}} \cdot R'_L \cdot \frac{r_{b'e}}{r_{be}} \cdot \frac{R_i}{R_i + R_s} = -\frac{R_i}{R_i + R_s} \cdot \frac{\beta R'_L}{r_{be}}$$

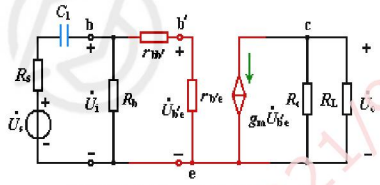
研习社24西电9021/9024考研复试qvizuddk 西电通院电院智能院考研群：702628797



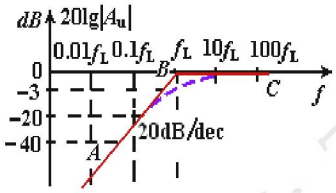
中频段混合π参数等效电路

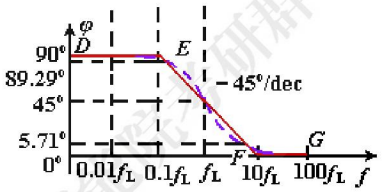
波特图---幅频曲线是 20lg*A*usm=常数，相频曲线是 ϕ=-180o。

2．低频段(*f* ≤*f*L)



低频段混合π参数等效电路

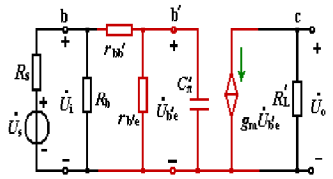




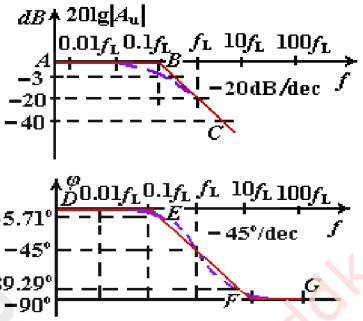
$$\dot{A}_{usl} = \frac{\dot{A}_{usm}}{1 - jf_L/f}$$

3．高频段(*f* ≥*f*H)

研习社24西电9021/9024考研复试t4vizuodk
西电通院电院智能群：702628797

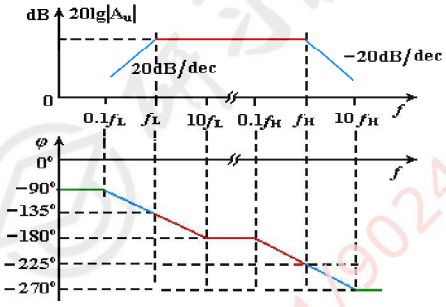


（a）高频段混合π参数等效电路



$$\dot{A}_{ush}=\frac{\dot{A}_{usm}}{1+jf/f_H}$$

4．完整的基本共射放大电路的频率特性



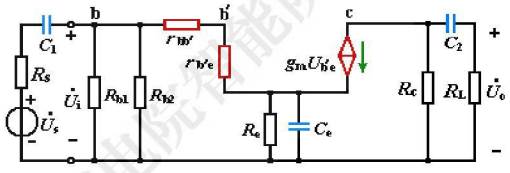
完整的基本共射放大电路的频响曲线

$$\dot{A}_u=\frac{\dot{A}_{usm}}{(1-jf_L/f)(1+jf/f_H)}=\frac{jf/f_L}{(1+jf/f_L)(1+jf/f_H)}\dot{A}_{usm}$$

三．分压式稳定工作点电路的频率响应

1．下限频率的估算

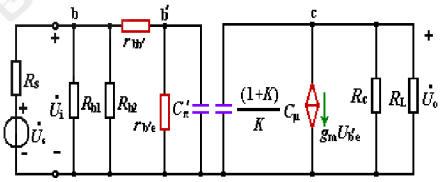
$$f_L\approx 1.1\sqrt{f_{L1}^2+f_{L2}^2+f_{L3}^2}$$



分压式共射电路低频段混合π参数等效电路

2．上限频率的估算

$$\frac{1}{f_H}\approx 1.1\sqrt{\frac{1}{f_{H1}^2}+\frac{1}{f_{H2}^2}}$$



分压式共射电路高频段混合π参数等效电路

四. 多级放大电路的频率响应

1. 频响表达式

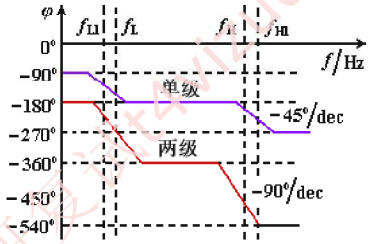
$$20\lg\left|\dot{A}_u\right| = 20\lg\left|\dot{A}_{u1}\right| + 20\lg\left|\dot{A}_{u2}\right| + \cdots + 20\lg\left|\dot{A}_{un}\right| = \sum_{k=1}^{n} 20\lg\left|\dot{A}_{uk}\right|$$

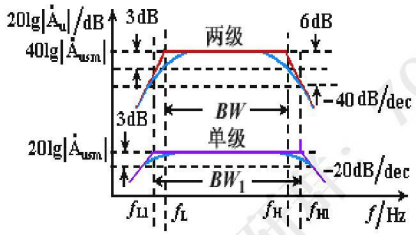
$$\varphi = \varphi_1 + \varphi_2 + \cdots + \varphi_n = \sum_{k=1}^{n} \varphi_k$$

2. 波特图

$$f_L \approx 1.1\sqrt{f_{L1}^2 + f_{L2}^2 + \cdots + f_{Ln}^2}$$

$$\frac{1}{f_H} \approx 1.1\sqrt{\frac{1}{f_{H1}^2} + \frac{1}{f_{H2}^2} + \cdots + f\frac{1}{f_{Hn}^2}}$$





研习社24西电9021/9024考研资料群：1026287977
西电通院电院智能院考研

第五章 功率放大电路

5.1 复试笔试点睛

本章主要是三种功率放大电路的计算，记住公式，会分析，记住特性曲线。

5.2 复试笔试重难点知识点

一. 功率放大电路的三种工作状态

1.甲类工作状态

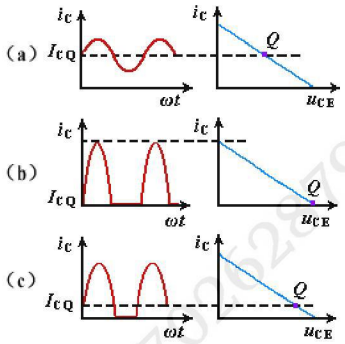
导通角为 360°，I_{CQ} 大，管耗大，效率低。

2.乙类工作状态

$I_{CQ}\approx 0$， 导通角为 180°，效率高，失真大。

3.甲乙类工作状态

导通角为 180°~360°，效率较高，失真较大。



功放电路的工作状态

二. 乙类功放电路的指标估算

1. 工作状态

- 任意状态：$U_{om}\approx U_{im}$
- 尽限状态：$U_{om}=V_{CC}-U_{CES}$
- 理想状态：$U_{om}\approx V_{CC}$

2. 输出功率 $P_o=\frac{1}{2}I_{om}U_{om}=\frac{U_{om}^2}{2R_L}$

3. 直流电源提供的平均功率

$$P_{V_{CC}}=V_{CC}I_{(AV)}=V_{CC}\cdot\frac{2}{\pi}\cdot I_{om}=\frac{2}{\pi}\cdot\frac{V_{CC}U_{om}}{R_L}$$

4. 管耗 $P_{c1m}=0.2P_{om}$ $P_{cm}=2P_{c1m}\approx 0.4P_{om}$

5.效率

$$\eta=\frac{P_o}{P_{V_{CC}}}=\frac{U_{om}^2/2R_L}{2V_{CC}U_{om}/\pi R_L}=\frac{\pi U_{om}}{4V_{CC}}$$ 理想时为 78.5%

三. 甲乙类互补对称功率放大电路

1. 问题的提出

在两管交替时出现波形失真——交越失真(本质上是截止失真)。

2. 解决办法

- 甲乙类双电源互补对称功率放大器 OCL----利用二极管、三极管和电阻上的压降产生偏置电压。

  动态指标按乙类状态估算。

- 甲乙类单电源互补对称功率放大器 OTL----电容 C_2 上静态电压为 $V_{CC}/2$，并且取代了 OCL 功放中的负电源-V_{CC}。

  动态指标按乙类状态估算，只是用 $V_{CC}/2$ 代替。

四. 复合管的组成及特点

1. 前一个管子 c-e 极跨接在后一个管子的 b-c 极间。

2. 类型取决于第一只管子的类型。

3. $\beta=\beta_1\cdot\beta_2$

第六章 集成运算放大电路

6.1 复试笔试点睛

本章主要是运放电路的分析，掌握好两大基础原则，记住常用的运放经典电路。

6.2 复试笔试重难点知识点

一. 集成运放电路的基本组成

1.输入级----采用差放电路，以减小零漂。

2.中间级----多采用共射(或共源)放大电路，以提高放大倍数。

3.输出级----多采用互补对称电路以提高带负载能力。

4.偏置电路----多采用电流源电路，为各级提供合适的静态电流。

二. 长尾差放电路的原理与特点

1. 抑制零点漂移的过程----

当 $T\uparrow \rightarrow i_{C1}、i_{C2}\uparrow \rightarrow i_{E1}、i_{E2}\uparrow \rightarrow u_E\uparrow \rightarrow u_{BE1}、u_{BE2}\downarrow \rightarrow i_{B1}、i_{B2}\downarrow \rightarrow i_{C1}、i_{C2}\downarrow$。

R_e 对温度漂移及各种共模信号有强烈的抑制作用，被称为“共模反馈电阻”。

2 静态分析

1) 计算差放电路 I_C

设 $U_B\approx 0$，则 $U_E=-0.7V$，得 $I_{C1}=I_{C2}\approx I_{E1}=\dfrac{V_{EE}-0.7}{R_p/2+2R_e}$

2) 计算差放电路 U_{CE}

- 双端输出时
- $U_{CE1}=U_{CE2}=U_C-U_E=V_{CC}-I_CR_c+0.7$

- 单端输出时(设 VT1 集电极接 R_L)

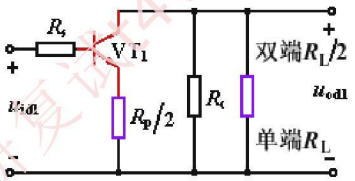
对于 VT1：

$$\frac{V_{CC}-U_{C1}}{R_c}=\frac{U_{C1}}{R_L}+I_{C1}\ ,\ U_{CE1}=U_{C1}-U_E=U_{C1}+0.7$$

对于 VT2：

$$U_{C2}=V_{CC}-I_{C2}R_c\ ,\ U_{CE2}=U_{C2}-U_E=V_{CC}-I_{C2}R_c+0.7$$

3. 动态分析



半边差模交流通路

1）差模电压放大倍数

- 双端输出

$$A_{ud}=A_{u1}=\frac{-\beta(R_c//R_L/2)}{R_s+r_{be}+(1+\beta)(R_p/2)}$$

- 单端输出时

从 VT1 单端输出 ：

$$A_{ud1}=\frac{A_{ud}}{2}=\frac{-\beta(R_c//R_L)}{2[R_s+r_{be}+(1+\beta)(R_p/2)]}$$

从 VT2 单端输出 ：

$$A_{ud2}=-A_{ud1}=\frac{\beta(R_c//R_L)}{2[R_s+r_{be}+(1+\beta)(R_p/2)]}$$

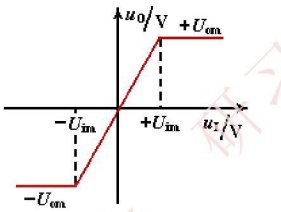
2）差模输入电阻 $R_{id}=2[R_s+r_{be}+(1+\beta)\frac{R_p}{2}]$

3）差模输出电阻

研习社24西电9021/9024考研复试4vizuddk
西北通院电院智能院考研群：702628797

- 双端输出：$R_{od} \approx 2R_c$
- 单端输出：$R_{od1} \approx R_c$

三. 集成运放的电压传输特性



集成运放的电压传输特性

当 u_I 在$+U_{im}$ 与$-U_{im}$ 之间，运放工作在线性区域：

$$u_O = A_{od} u_I = A_{od}(u_+ - u_-)$$

四.理想集成运放的参数及分析方法

1. 理想集成运放的参数特征

* 开环电压放大倍数 $A_{od} \to \infty$；
* 差模输入电阻 $R_{id} \to \infty$；
* 输出电阻 $R_o \to 0$；
* 共模抑制比 $K_{CMR} \to \infty$；

2. 理想集成运放的分析方法

1) 运放工作在线性区:

* 电路特征——引入负反馈
* 电路特点——“虚短”和“虚断”：

“虚短” --- $u_+ = u_-$

“虚断” --- $i_+ = i_- = 0$

2) 运放工作在非线性区

* 电路特征——开环或引入正反馈

研习社24西电9021/9024考研复试t4vizudd1 西电通院电院智能院考研群：702628797

* 电路特点——

输出电压的两种饱和状态:

当 $u_+ > u_-$ 时，$u_o = +U_{om}$

当 $u_+ < u_-$ 时，$u_o = -U_{om}$

两输入端的输入电流为零:

$i_+ = i_- = 0$

研习社24西电9021/9024考研复试t4vizuddk
西电通院电院智能院考研群：702628797

第七章 放大电路中的反馈

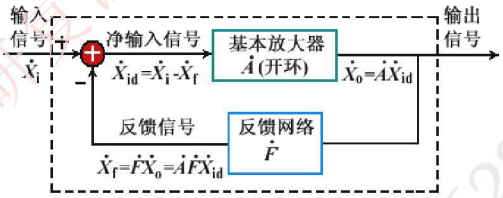
7.1 复试笔试点睛

本章主要是要掌握所有的反馈的类型与分析，分析出是什么反馈，并在此基础上进行计算。

7.2 复试笔试重难点知识点

一.反馈概念的建立

$$\dot{A}_f = \frac{\dot{X}_o}{\dot{X}_i} = \frac{\dot{A}}{1+\dot{A}\dot{F}}$$



反馈放大器组成方框图

＊开环放大倍数———A

＊闭环放大倍数———A_f

＊反馈深度———$1+AF$

＊环路增益———AF：

1．当$AF>0$时，A_f下降，这种反馈称为负反馈。

2．当$AF=0$时，表明反馈效果为零。

3．当$AF<0$时，A_f升高，这种反馈称为正反馈。

4．当$AF=-1$时，$A_f\to\infty$。放大器处于“自激振荡”状态。

二．反馈的形式和判断

1. 反馈的范围----本级或级间。

2. 反馈的性质----交流、直流或交直流。

直流通路中存在反馈则为直流反馈，交流通路中存在反馈则为交流反馈，交、直流通路中都存在反馈

则为交、直流反馈。

3. 反馈的取样----电压反馈：反馈量取样于输出电压；具有稳定输出电压的作用。

（输出短路时反馈消失）

电流反馈：反馈量取样于输出电流。具有稳定输出电流的作用。

（输出短路时反馈不消失）

4. 反馈的方式-----并联反馈：反馈量与原输入量在输入电路中以电流形式相叠加。*R*s 越大反馈效果越好。

（反馈信号反馈到输入端）

串联反馈：反馈量与原输入量在输入电路中以电压的形式相叠加。 *R*s 越小反馈效果越好。

（反馈信号反馈到非输入端）

5. 反馈极性-----瞬时极性法：

（1）假定某输入信号在某瞬时的极性为正（用+表示），并设信号的频率在中频段。

（2）根据该极性，逐级推断出放大电路中各相关点的瞬时极性（升高用 + 表示，降低用 － 表示）。

（3）确定反馈信号的极性。

（4）根据 X_i 与 X_f 的极性，确定净输入信号的大小。X_{id} 减小为负

反馈；X_{id} 增大为正反馈。

三. 反馈形式的描述方法

某反馈元件引入级间（本级）直流负反馈和交流电压（电流）串联（并联）负反馈。

四. 负反馈对放大电路性能的影响

1. 提高放大倍数的稳定性

2. $$\frac{\mathrm{d}A_f}{A_f}=\frac{1}{1+AF}\cdot\frac{\mathrm{d}A}{A}$$

3. 扩展频带

4. 减小非线性失真及抑制干扰和噪声

5. 改变放大电路的输入、输出电阻

*串联负反馈使输入电阻增加 1+AF 倍

*并联负反馈使输入电阻减小 1+AF 倍

*电压负反馈使输出电阻减小 1+AF 倍

*电流负反馈使输出电阻增加 1+AF 倍

五. 自激振荡产生的原因和条件

1. 产生自激振荡的原因

附加相移将负反馈转化为正反馈。

2. 产生自激振荡的条件 $\dot{A}\dot{F}=-1$

若表示为幅值和相位的条件则为：

研习社24西电9021/9024考研复试t4vizudd
西电通院电子智能院考研群：702628797

$|\dot{A}\dot{F}|=1$ $\varphi_{AF}=\varphi_A+\varphi_F=\pm(2n+1)\pi$ (n为整数)

第八章 信号的运算与处理

8.1 复试笔试点睛

本章主要是运放电路的分析和计算，掌握好两条原则即可。

8.2 复试笔试重难点知识点

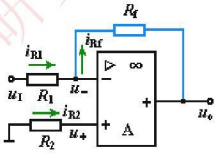
分析依据------ “虚断”和“虚短”

一.基本运算电路

1. 反相比例运算电路

$R_2=R_1//R_f$

$$u_O=-\frac{R_f}{R_1}u_I$$

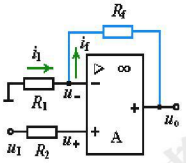


（a）基本形式

2. 同相比例运算电路

$R_2=R_1//R_f$

$$u_O=(1+\frac{R_f}{R_1})u_+$$

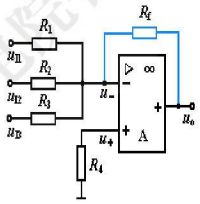


（a）基本形式

3. 反相求和运算电路

$R_4=R_1//R_2//R_3//R_f$

$$u_O=-R_f(\frac{u_{I1}}{R_1}+\frac{u_{I2}}{R_2}+\frac{u_{I3}}{R_3})$$



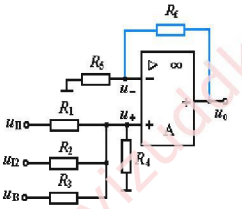
反相求和运算电路

研习社24西电9021/9024考研复试t4vizuddk
西电通院电院智能院考研群：702628797

4. 同相求和运算电路

$$R_1//R_2//R_3//R_4=R_f//R_5$$

$$u_O=(1+\frac{R_f}{R_5})(\frac{R_+}{R_1}u_{I1}+\frac{R_+}{R_2}u_{I2}+\frac{R_+}{R_3}u_{I3})$$

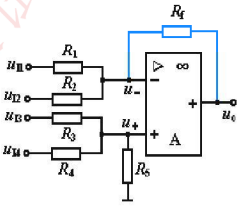


同相求和运算电路

5. 加减运算电路

$$R_1//R_2//R_f=R_3//R_4//R_5$$

$$u_O=R_f(\frac{u_{I3}}{R_3}+\frac{u_{I4}}{R_4}-\frac{u_{I1}}{R_1}-\frac{u_{I2}}{R_2})$$

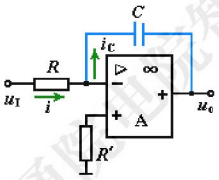


单运放加减运算电路

二.积分和微分运算电路

1. 积分运算

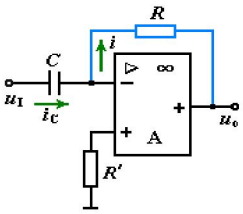
$$u_O=-\frac{1}{RC}\int u_I dt$$



基本积分运算电路

2. 微分运算

$$u_O=-RC\frac{du_I}{dt}$$



（a）基本微分电路

研习社24西电9021/9024考研复试qq群：702628797
西电通信工程学院智能院考研群：702628797

第九章 信号发生电路

9.1 复试笔试点睛

本章主要是信号发生电路，什么情况下会产生振荡电路，如何计算和分析是重点。

9.2 复试笔试重难点知识点

一.正弦波振荡电路的基本概念

1. 产生正弦波振荡的条件(人为的直接引入正反馈)

自激振荡的平衡条件 ： $\dot{A}\dot{F}=1$

即幅值平衡条件： $|\dot{A}\dot{F}|=1$

相位平衡条件： $\varphi_{AF}=\pm 2n\pi\ (n=0，1，2...)$

2. 起振条件:

幅值条件 ： $|\dot{A}\dot{F}|>1$

相位条件: $\varphi_{AF}=\pm 2n\pi$

3.正弦波振荡器的组成、分类

正弦波振荡器的组成

(1) 放大电路-------建立和维持振荡。

(2) 正反馈网络----与放大电路共同满足振荡条件。

(3) 选频网络-------以选择某一频率进行振荡。

(4) 稳幅环节-------使波形幅值稳定，且波形的形状良好。

* 正弦波振荡器的分类

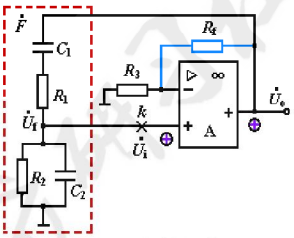
(1) *RC* 振荡器-----振荡频率较低,1M 以下;

(2) *LC* 振荡器-----振荡频率较高,1M 以上;

(3) 石英晶体振荡器----振荡频率高且稳定。

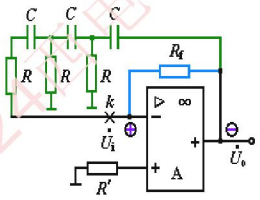
二. *RC* 正弦波振荡电路

1. *RC* 串并联正弦波振荡电路



（a）文氏电桥振荡器

2. *RC* 移相式正弦波振荡电路



*RC*移相式振荡器

三. *LC* 正弦波振荡电路

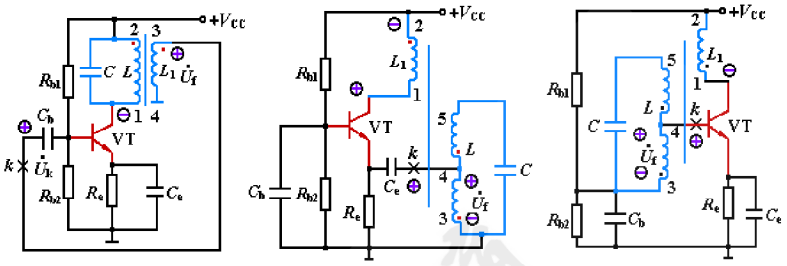
1. 变压器耦合式 *LC* 振荡电路

判断相位的方法：

断回路、引输入、看相位

$$f_o = \frac{1}{2\pi\sqrt{LC}}$$

研习社24西电9021/9024考研复试t4vizuddk
西电通院电院智能院考研群：702628797

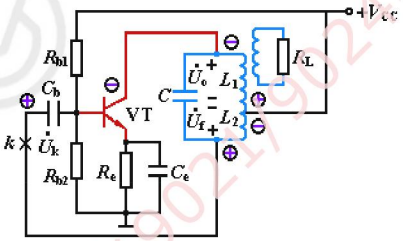


（a）集电极调谐　（b）发射极调谐　（c）基极调谐

2. 三点式 *LC* 振荡器

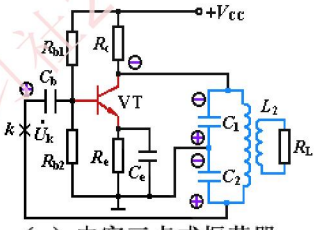
*相位条件的判断------“射同基反”或 “三步曲法”

(1) 电感反馈三点式振荡器(哈特莱电路)



电感反馈三点式振荡器

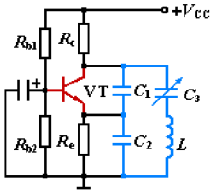
(2) 电容反馈三点式振荡器(考毕兹电路)



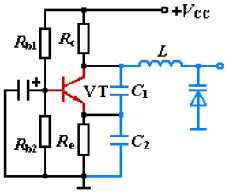
（a）电容三点式振荡器

(3) 串联改进型电容反馈三点式振荡器（克拉泼电路）

研习社24西电9021/9024考研复试资料4vizuddk
西电通院电院智能院考研群：702628797

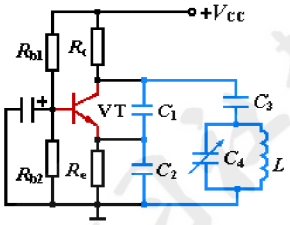


（b）克拉泼电路



（c）压控振荡器

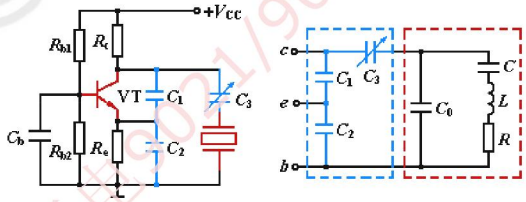
(4) 并联改进型电容反馈三点式振荡器（西勒电路）



西勒电路

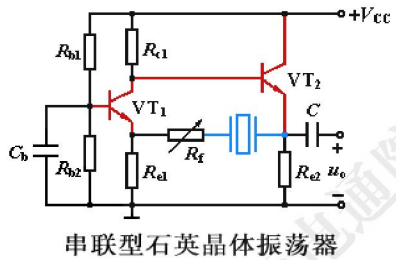
(5) 四. 石英晶体振荡电路

1. 并联型石英晶体振荡器



（a）并联型石英晶体振荡器 （b）等效电路

2. 串联型石英晶体振荡器



串联型石英晶体振荡器

研习社24西电9021/9024考研复试t4vizuddk
西安通院电院智能院考研群：702628797

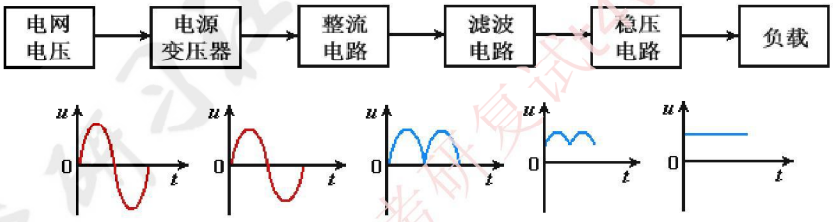
第十章 直流电源

10.1 复试笔试点睛

本章比较简单，记住公式和常见电路的分析与计算。

10.2 复试笔试重难点知识点

一.直流电源的组成框图

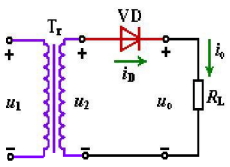


直流电源的组成框图

- 电源变压器：将电网交流电压变换为符合整流电路所需要的交流电压。
- 整流电路：将正负交替的交流电压整流成为单方向的脉动电压。
- 滤波电路：将交流成分滤掉，使输出电压成为比较平滑的直流电压。
- 稳压电路：自动保持负载电压的稳定。
- 二. 单相半波整流电路

1. 输出电压的平均值 $U_{O(AV)}$

$$U_{O(AV)}=\frac{1}{2\pi}\int_0^{\pi}\sqrt{2}U_2\sin\omega t\,d\omega t=\frac{\sqrt{2}}{\pi}U_2=0.45U_2$$



（a）电路图

2. 输出电压的脉动系数 S

$$S=\frac{U_{O1M}}{U_{O(AV)}}=\frac{\sqrt{2}U_2/2}{\sqrt{2}U_2/\pi}=\frac{\pi}{2}=1.57$$

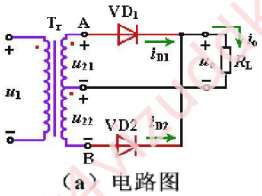
3．正向平均电流 $I_{D(AV)}$

$$I_{D(AV)}=I_{O(AV)}=\frac{U_{O(AV)}}{R_L}\approx\frac{0.45U_2}{R_L}$$

4．最大反向电压 U_{RM}

$$U_{RM}=\sqrt{2}U_2$$

三．单相全波整流电路



（a）电路图

1．输出电压的平均值 $U_{O(AV)}$

$$U_{O(AV)}=\frac{1}{\pi}\int_0^{\pi}\sqrt{2}U_2\sin\omega t\,d\omega t=\frac{2\sqrt{2}}{\pi}U_2=0.9U_2$$

2．输出电压的脉动系数 S

$$S=\frac{U_{O1M}}{U_{O(AV)}}=\frac{4\sqrt{2}U_2/3\pi}{2\sqrt{2}U_2/\pi}=\frac{2}{3}=0.67$$

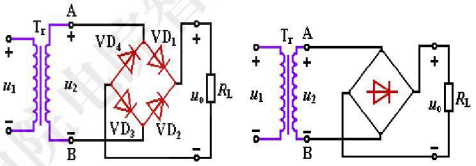
3．正向平均电流 $I_{D(AV)}$

$$I_{D(AV)}=\frac{I_{O(AV)}}{2}=\frac{U_{O(AV)}}{2R_L}\approx\frac{0.45U_2}{R_L}$$

4．最大反向电压 U_{RM}

$$U_{RM1}=U_{RM2}=2\sqrt{2}U_2$$

四．单相桥式整流电路



（a）原理电路　（b）简化画法

$U_{O(AV)}$、S、$I_{D(AV)}$

与全波整流电路相同，

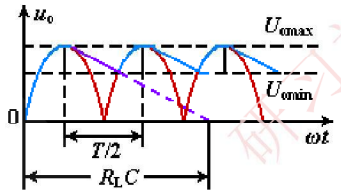
U_{RM} 与半波整流电路相同。

五．电容滤波电路

研习社24西电9021/9024考研复试qq群：702628797
西电通院/电子工程智能院考研群

1. 放电时间常数的取值

$$R_L C \geq (3 \sim 5)\frac{T}{2}$$



（b）用锯齿波估算参数

2.输出电压的平均值 $U_{O(AV)}$

$$U_{O(AV)} = (1.18 \sim 1.27)U_2 \approx 1.2U_2$$

3.输出电压的脉动系数 S

$$S = \frac{U_{O1M}}{U_{O(AV)}} = \frac{(T/4R_L C)U_{Omax}}{(1 - T/4R_L C)U_{Omax}} = \frac{1}{4R_L C/T - 1}$$

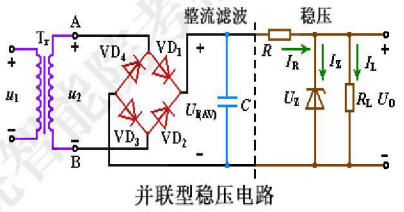
4 .整流二极管的平均电流 $I_{D(AV)}$

$$I_{D(AV)} = \frac{I_{O(AV)}}{2} = \frac{U_{O(AV)}}{2R_L} \approx \frac{1.2U_2}{2R_L} = 0.6\frac{U_2}{R_L}$$

六. 三种单相整流电容滤波电路的比较

电路名称	输出电压平均值$U_{O(AV)}$			每个整流管的最大反向电压U_{RM}		每个整流管的平均电流$I_{D(AV)}$
	纯整流电路	带电容滤波				
		R_L开路	带有R_L	纯整流电路	带电容滤波	
半波	$0.45U_2$	$\sqrt{2}U_2$	U_2	$\sqrt{2}U_2$	$2\sqrt{2}U_2$	$I_{O(AV)}$
全波	$0.9U_2$	$\sqrt{2}U_2$	$1.2U_2$	$2\sqrt{2}U_2$	$2\sqrt{2}U_2$	$I_{O(AV)}/2$
桥式	$0.9U_2$	$\sqrt{2}U_2$	$1.2U_2$	$\sqrt{2}U_2$	$\sqrt{2}U_2$	$I_{O(AV)}/2$

七.并联型稳压电路



并联型稳压电路

1. 稳压电路及其工作原理

*当负载不变，电网电压

变化时的稳压过程:

$$U_{I(AV)}\uparrow \rightarrow U_O\uparrow \rightarrow I_Z\uparrow\uparrow \rightarrow I_R\uparrow \rightarrow I_R R\uparrow \rightarrow U_O\downarrow$$

*当电网电压不变，负载变化时的稳压过程 ：

$$R_L\downarrow \rightarrow I_L\uparrow \rightarrow I_R\uparrow \rightarrow U_R\uparrow \rightarrow U_O\downarrow \rightarrow I_Z\downarrow\downarrow \rightarrow I_R\downarrow \rightarrow U_R\downarrow \rightarrow U_O\uparrow$$

2. 电路参数的计算

* 稳压管的选择

常取 $U_Z=U_O$；$I_{ZM}=(1.5\sim3)I_{Omax}$

* 输入电压的确定

一般取 $U_{I(AV)}=(2\sim3)U_O$

* 限流电阻 R 的计算

R 的选用原则是：$I_{Zmin}<I_Z<I_{Zmax}$。

R 的范围是：

$$\frac{U_{Imax}-U_Z}{I_{Zmax}+I_{Lmin}}<R<\frac{U_{Imin}-U_Z}{I_{Zmin}+I_{Lmax}}$$

研习社24西电9021/9024考研复试t4vizuddk
西电通院电院智能院考研群：702628797

科目三：数字信号处理

第一章 离散时间信号和系统的时域描述分析

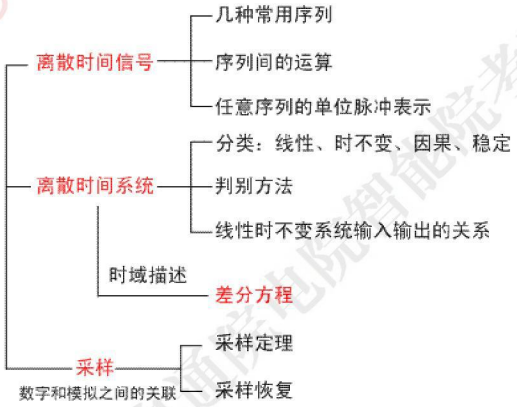
1.1 复试笔试点睛

简答题：（重点）

1. 什么是奈奎斯特采样定理？
2. 是不是任意连续信号离散后，都可从离散化后的信号恢复出原来的信号？为什么？
3. 一个连续时间信号经过理想采样以后，其频谱会产生怎样的变化？在什么条件下，频谱不会产生失真？
4. 离散信号频谱函数的一般特点是什么？
5. 画出模拟信号数字处理框图，并说明各部分的作用。
6. A/D 采样时的采样频率如何选取？

名词解释：（重点）

1. 奈奎斯特采样定理
2. 线性系统、时不变系统、稳定系统、因果系统



研习社24西电9021/9024考研复试t4wizuddk
西电通信院智能院考研群：702628797

1.2 复试笔试重难点知识点

一、离散时间信号的序列描述

1. 离散时间信号可视为连续时间信号的采样

2. 几种基本离散时间信号（记住定义）

（1）单位采样序列 $\delta(n)=\begin{cases}1, & n=0\\ 0, & n\neq 0\end{cases}$

（2）单位阶跃序列 $u(n)=\begin{cases}1, & n\geq 0\\ 0, & n<0\end{cases}$

（3）矩形序列 $R_N(n)=\begin{cases}1, & 0\leq n\leq N-1\\ 0, & \text{其它}\end{cases}$

（4）实指数序列 $x(n)=a^n u(n)$

（5）正弦序列 $x(n)=\sin \omega n$

ω 是正弦序列数字域的频率，单位是弧度。对连续信号中的正弦信号进行采样，可得正弦序列。设连续信号为 $x_a(t)=\sin \Omega t$，它的采样值为 $x(n)=x_a(nT)=\sin n\Omega T$，因此 $\omega=\Omega T=\Omega/f_s$。

（6）复指数序列 $x(n)=e^{j\omega_0 n}=\cos \omega_0 n+j\sin \omega_0 n$

复指数序列是以余弦序列为实部、正弦序列为虚部所构成的一个复数序列。

（7）周期序列(重点)

所有 n 存在一个最小的正整数 N,满足: $x(n)=x(n+N)$,则称序列 $x(n)$ 是周期序列，周期为 N。(注意：按此定义，模拟信号是周期信号，采用后的离散信号未必是周期的)

二、时域离散系统

1.线性系统

若 $y_1(n)=T[x_1(n)], y_2(n)=T[x_2(n)]$ 则 $y(n)=T[ax_1(n)+bx_2(n)]=ay_1(n)+by_2(n)$

2.时不变系统

若 y(n)=T[x(n)]则 y(n-n_0)=T[x(n-n_0)]

3.线性时不变系统（LTI 或者 LSI 系统）输入与输出之间关系（重点）：

$h(n)=T[\delta(n)]$

$$x(n)=\sum_{m=-\infty}^{\infty}x(m)\delta(n-m)$$

$$y(n)=\sum_{m=-\infty}^{\infty}x(m)\delta(n-m)$$

$$y(n)=T[\sum_{m=-\infty}^{\infty}x(m)\delta(n-m)]$$

$$y（n）=\sum_{m=-\infty}^{\infty}x(m)h(n-m)=x（n）*h（n）$$

重点：线性离不变系统的输出等于输入序列和该系统的单位脉冲响应的卷积

【说明】离散时间 LTI 系统的单位冲激响应 h(n)为系统对单位冲激序列 δ(n)的零状态响应。

单位冲激响应的概念非常重要。在时域，LTI 系统可以由其单位冲激响应 h(n)唯一确定，因此，我们常常用单位冲激响应描述 LTI 系统。在这种情况下，LTI 系统的输入输出关系可以由卷积运算描述：

$$y（n）=\sum_{m=-\infty}^{\infty}x(m)h(n-m)=x(n)*h(n)$$

物理意义： 卷积和运算具有显式意义，即可以用来确定系统的输出。如果系统确定，则其单位冲激响应是唯一的。由此，可求系统对任意输入的响应。

注意：计算卷积和的关键是求和区间的确定。因此，常常需要绘制序列 x(m)和 h(n-m)的图形。利用序列 x(m) 和 h(n-m)的图形可助我们方便地确定求和区间。

卷积的求解方法（重点）：

线性卷积是一种非常重要的一种运算，对它的求解，一般我们采用作图法。线性卷积满足交换律，设两序列长度分别是 N 和 M，线性卷积后序列的长

度为 N＋M－1。

卷积的计算过程包括翻转、移位、相乘、相加四个过程。

1）将 $x(n)$ 和 $h(n)$ 用 $x(m)$ 和 $h(m)$ 表示，画出 $x(m)$ 和 $h(m)$ 这两个序列；

2）选择一个序列 $h(m)$，并将其按时间翻转形成序列 $h(-m)$；

3）将 $h(-m)$ 移位 n，得到 $h(n-m)$；

4）将 $x(m)$ 和 $h(n-m)$ 相同 m 的序列值对应相乘后，再相加。

4. 系统因果性和稳定性的判定（重点）

1)稳定系统：

有界的输入产生的输出也有界的系统，即：若 $|x(n)|<\infty$，则 $|y(n)|<\infty$（记住!!）

线性移不变系统是稳定系统的充要条件：$\sum_{n=-\infty}^{\infty}|h(n)|<\infty$(系统稳定的充分必要条件是系统的单位脉冲响应绝对可和)（记住!!）

或：其系统函数 H(z)的收敛域包含单位圆 |z|=1（记住!!）

2)因果系统：

n_0 时刻的输出 $y(n_0)$ 只由 n_0 时刻之前的输入 $x(n), n \le n_0$ 决定（记住!!）

线性移不变系统是因果系统的充要条件：$h(n)=0, n<0$（记住!!）因果系统的单位脉冲响应必然是因果序列。（记住!!）

或：其系统函数 H(z)的收敛域在某圆外部：即：|z|>Rx（记住!!）

3）稳定因果系统：

同时满足上述两个条件的系统。

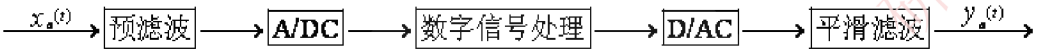
线性移不变系统是因果稳定系统的充要条件：$\sum_{n=-\infty}^{\infty}|h(n)|<\infty$，$h(n)=0, n<0$（记住!!）

或：H(z)的极点在单位圆内 H(z)的收敛域满足：$|z|>R_{x-}, R_{x-}<1$（记住!!）

研习社24西电9021/9024考研复试t4vizuddk 702628797 西电通院电院智能院考研群

三. 模拟信号数字处理方法

1.模拟信号数字处理框图



$x_a(t)$：模拟信号输入

预滤波：目的是限制带宽（一般使用低通滤波器）

①采样：将信号在时间上离散化

A/DC：模/数转换

②量化：将信号在幅度上离散化（量化中幅度值=采样幅度值）

③编码：将幅度值表示成二进制位（条件 $f_s \geq 2f_c$ ）

数字信号处理：对信号进行运算处理

D/AC：数/模转换（一般用采样保持电路实现：台阶状连续时间信号→在采样时刻幅度发生跳变 ）

平滑滤波：滤除信号中高频成分（低通滤波器），使信号变得平滑

$y_a(t)$：输入信号经过处理后的输出信号

2.连续信号的采样

对连续信号进行理想采样，设采样脉冲 $p(t) = \delta_T(t) = \sum_{n=-\infty}^{\infty} \delta(t-nT)$ ，则采样输出

$$\hat{x}_a(t) = x_a(t) \cdot \delta_T(t) = \sum_{n=-\infty}^{\infty} x_a(t)\delta(t-nT)$$

在讨论理想采样后，信号频谱发生的变化时，可遵循下面的思路：

1）由 $x_a(t) \to X_a(\Omega)$；2）由 $\delta_T(t) \to \delta_T(\Omega)$；

3）根据频域卷积定理，由 $\hat{X}_a(\Omega) = \frac{1}{2\pi}[X_a(\Omega) * \delta_T(\Omega)]$ 计算出 $\hat{X}_a(\Omega)$。

计算过程：

1） $X_a(\Omega) = \int_{-\infty}^{+\infty} x_a(t)e^{-j\Omega t}dt$

2）周期信号可以用傅里叶级数展开，因此

$$\delta_T(t)=\sum_{n=-\infty}^{\infty}A_n\cdot e^{jn\Omega_s t}$$

其中系数

$$A_n=\frac{1}{T}\int_{-T/2}^{T/2}\delta_T(t)e^{-jn\Omega_s t}dt=\frac{1}{T}\int_{-T/2}^{T/2}\delta(t)e^{-jn\Omega_s t}dt=\frac{1}{T}\int_{-T/2}^{T/2}\delta(t)dt=\frac{1}{T}$$

所以

$$\delta_T(t)=\frac{1}{T}\sum_{n=-\infty}^{\infty}e^{jn\Omega_s t},n=0,\pm1,\pm2\cdots\cdots$$

其傅里叶变换

$$\delta_T(\Omega)=\frac{2\pi}{T}\sum_{n=-\infty}^{+\infty}\delta(\Omega-n\Omega_s)$$

3）
$$\hat{X}_a(\Omega)=\frac{1}{2\pi}[X_a(\Omega)*\delta_T(\Omega)]=\frac{1}{2\pi}\int_{-\infty}^{\infty}X_a(\tau)\cdot\frac{2\pi}{T}\sum_{n=-\infty}^{\infty}\delta(\Omega-n\Omega_s-\tau)d\tau$$

$$=\frac{1}{T}\sum_{n=-\infty}^{\infty}\int_{-\infty}^{\infty}X_a(\Omega-n\Omega_s)\ \delta(\Omega-n\Omega_s-\tau)d\tau$$

$$=\frac{1}{T}\sum_{n=-\infty}^{\infty}X_a(\Omega-n\Omega_s)$$

因此，采样后信号频谱产生周期延拓，周期为 Ωs，同时幅度为原来的 1/T 倍。这是一个非常重要的性质，应熟练掌握。

3.奈奎斯特采样定理

(1) 对连续信号进行等间隔采样形成采样信号，采样信号的频谱是原连休新年好的频谱以采样频率为周期进行周期性延拓形成的。

(2) 一个限带模拟信号 $x_a(t)$，若其频谱的最高频率为 F_0，对它进行等间隔抽样而得 $x(n)$，抽样周期为 T，或抽样频率为 $F_s=1/T$；只有在抽样频率 $F_s\geq 2F_0$ 时，才可由 $x_a(t)$ 准确恢复 $x(n)$。

研习社24西电 研习社24西电9021/9024考研复试t4vizuddk 西电通院电路与系统考研联系：702628797

第二章 信号及系统频域分析

2.1 复试笔试点睛

注重基本概念

2.2 复试笔试重难点知识点

一、序列的傅里叶变换的定义及性质

1．DTFT 是一个用来确定离散时间序列频谱的重要数学工具。

物理意义：傅里叶变换是将对信号的时域分析转换为对其在频域的分析，便于研究问题。

若序列 $x(n)$ 满足绝对可和条件 $\sum_{n=-\infty}^{\infty}|x(n)|<\infty$

则其离散时间傅里叶变换（Discrete Time Fourier Transform-DTFT：非周期序列的傅里叶变换）定义为

$$X(e^{j\omega})=\sum_{n=-\infty}^{\infty}x[n]e^{-j\omega n}$$ ------（记住!!）

反变换定义为： $x[n]=\frac{1}{2\pi}\int_{-\pi}^{\pi}X(e^{j\omega})e^{j\omega n}d\omega$ ------

傅里叶变换对 $x(n)\leftrightarrow X(e^{j\omega})$

2．性质

1）周期性（重点）： DTFT 是关于 ω 的周期为 2π 的周期函数。

$X(e^{j\omega})=\sum_{n=-\infty}^{\infty}x(n)e^{-j(\omega+2\pi M)n}=X(e^{j(\omega+2\pi M)})$ M为整数

2) 线性（重点）：设 $X_1(e^{j\omega})=FT[x_1(n)]$，$X_2(e^{j\omega})=FT[x_2(n)]$，那么 $FT[ax_1(n)+bx_2(n)]=aX_1(e^{j\omega})+bX_2(e^{j\omega})$

3）时移特性（重点）

$DTFT[x(n-n_0)]=e^{-j\omega n_0}X(e^{j\omega})$

4）频移特性

$DTFT[e^{j\omega_0 n}x(n)]=X(e^{j(\omega-\omega_0)})$

5）时域卷积定理（重点）

$DTFT[x_1(n)*x_2(n)]=X_1(e^{jw})X_2(e^{j\omega})$

研习社24西电9021/9024考研复试qwizuddk
西电通信与信息智能院考研群：702628797

6）频域卷积定理

$$DTFT[x_1(n)\cdot x_2(n)]=\frac{1}{2\pi}[X_1(e^{j\omega})*X_2(e^{j\omega})]$$

7）帕斯瓦尔定理

$$\sum_{n=-\infty}^{\infty}|x(n)|^2=\frac{1}{2\pi}\int_{-\pi}^{\pi}|X(e^{j\omega})|^2d\omega$$

时域总能量等于频域一周期内总能量。

7) 幅度频谱为 ω 的偶函数，相位频谱为 ω 的奇函数。

8) $X(e^{j\omega})$的实部为 ω 的偶函数， $X(e^{j\omega})$ 的虚部为 ω 的奇函数。

二、Z 变换

1.定义

Z 变换为离散时间信号与 LTI 系统分析的重要数学工具。给定一离散时间序列 x(n)，其 z 变换定义为：$X(z)=\sum_{k=-\infty}^{\infty}x(n)z^{-n}$ $R_{x-}<|z|<R_{x+}$ ------（记住!!）

其中，$z=e^{s}, s=\sigma+j\omega$。z 变换存在情况下的 Z 变量取值范围称为收敛域(ROC)。

注意：Z 变换+不同收敛域⇒对应不同收敛域的不同序列

序列 $\overset{唯一}{\Rightarrow}$ （Z 变换+收敛域）(重点)

2.Z 变换和 DTFT 之间的关系(重点)

DTFT 为单位圆上的 z 变换。数学表达为：$X(e^{j\omega})=X(z)\big|_{z=e^{j\omega}}$ ------ 记住并理解!

3.序列特性与 X(z)的收敛域 ROC 的关系。(重点)

收敛区域要依据序列的性质而定。同时，也只有 Z 变换的收敛区域确定之后，才能由 Z 变换唯一地确定序列。

一般来来说，序列的 Z 变换的收敛域在 Z 平面上的一环状区域：$R_{x-}<|z|<R_{x+}$

总结：a. ROC 不包含任何极点。

b.有理 z 变换的收敛域 ROC 由其极点界定。

c. 对于有限长序列 x[n],其 z 变换的收敛域 ROC 为整个 z-平面，可能在 $z=0$ 或 $z=\infty$除外。只有序列为 $\delta(n)$ 时，收敛域是整个 Z 平面。

d. 对于右边序列 x[n],其 z 变换的收敛域 ROC 由其离原点最远的极点确定，其形式为 $|z|>|R_{x-}|$。

e. 对于左边序列 x[n], 其 z 变换的收敛域 ROC 由其离原点最近的极点确定，其形式为 $|z|<|R_{x+}|$。

f. 对于双边序列 x[n], 其 z 变换的收敛域 ROC 环状收敛域，，其形式为公共收敛域 $R_{x-}<|z|<R_{x+}$。

4.反变换

常用序列的 Z 变换(重点--记住!!)：

$$Z[\delta(n)]=1,|z|\geq 0$$

$$Z[u(n)]=\frac{1}{1-z^{-1}},|z|>1$$

$$Z[a^n u(n)]=\frac{1}{1-az^{-1}},|z|>|a|$$

$$Z[b^n u(-n-1)]=\frac{1}{1-bz^{-1}},|z|<|b|$$

逆变换

$x(n)=\frac{1}{2\pi j}\oint_c X(z)z^{n-1}dz$ x，C：收敛域内绕原点逆时针的一条闭合曲线

留数定理：$x(n)=\sum[X(z)z^{n-1}$在C内极点留数之和]

留数辅助定理：$x(n)=-\sum[X(z)z^{n-1}$在C外极点留数之和]

利用部分分式展开：$X(z)=\sum\frac{A_k}{1-a_k z^{-1}}$，然后利用定义域及常用序列的 Z 变换求解。(重点)

基本要求：用部分分式展开法求 z 反变换。(重点)

例：假设 $X(z)=\frac{1}{1-0.5z^{-1}}+\frac{1}{1-0.3z^{-1}}$，收敛域 ROC 为 $0.3<|z|<0.5$,则 $X(z)$ 的 z 反变换为($-(0.5)^n u(-n-1)+(0.3)^n u(n)$)。（重点）

说明：本题要求掌握序列的时域特性域 z 变换收敛域之间的对应关系。具体说，有限长序列的 z 变换的 ROC 是怎样的，右边序列的 z 变换的 ROC 是怎样的，因果序列的 z 变换的 ROC 是怎样的，左边序列的 z 变换的 ROC 是怎样的，反因果序列的 z 变换的 ROC 是怎样的。

典型序列的 z 变换表达式是否记住了？

$-\alpha^n u(-n-1) \leftrightarrow \frac{1}{1-\alpha z^{-1}} \quad ROC:|z|<|\alpha|$

$\beta^n u(n) \leftrightarrow \frac{1}{1-\beta z^{-1}} \quad ROC:|z|>|\beta|$

这两个典型 z 变换对，对求 z 变换或逆 z 变换非常重要。

例：已知 $X(z)=\frac{z}{z-0.5}+\frac{z}{z-2}$，试求与 $X(z)$ 对应的所有可能的序列 $x(n)$。（重点）

解：同一个 Z 变换函数，收敛域不同，对应的序列也不同。本题没有给定收敛域，所以必须先确定收敛域。

$X(z)$ 有两个极点：$z_1=0.5$，$z_2=2$，因为收敛域总是以极点为边界，所以收敛域有以下三种情况：$|z|<0.5$，$0.5<|z|<2$，$|z|>2$，三种收敛域对应三种不同的原序列，分别讨论如下：

（1）$|z|<0.5$ 对应左边序列 $\therefore x(n)=-0.5^n u(-n-1)-2^n u(-n-1)$

（2）$0.5<|z|<2$ 对应双边序列 $\therefore x(n)=0.5^n u(n)-2^n u(-n-1)$

（3）$|z|>2$ 对应右边序列 $\therefore x(n)=0.5^n u(n)+2^n u(n)$

例：设 $X(z)=\frac{1}{(1-2z^{-1})(1-0.5z^{-1})} \quad |z|>2$，用部分分式展开法求逆 Z 变换。（重点）

解：先去掉 z 的负幂次，以便于求解，将 $X(z)$ 的分子分母同乘以 z^2，得：

$$X(z)=\frac{z^2}{(z-2)(z-0.5)}$$

将等式两端同时除以 z，得：$\frac{X(z)}{z}=\frac{z}{(z-2)(z-0.5)}=\frac{A_1}{z-2}+\frac{A_2}{z-0.5}$

$$A_1=\mathrm{Re}s[\frac{X(z)}{z},2]=(z-2)\frac{X(z)}{z}\Big|_{z=2}=(z-2)\frac{z}{(z-2)(z-0.5)}\Big|_{z=2}=\frac{4}{3}$$

$$A_2=\mathrm{Re}s[\frac{X(z)}{z},0.5]=(z-0.5)\frac{X(z)}{z}\Big|_{z=0.5}=(z-0.5)\frac{z}{(z-2)(z-0.5)}\Big|_{z=2}=-\frac{1}{3}$$

因而得：$X(z)=\frac{4}{3}\cdot\frac{z}{z-2}-\frac{1}{3}\cdot\frac{z}{z-0.5}$

由收敛域知，$x(n)$ 为右边序列，得：$x(n)=\frac{4}{3}\cdot 2^n u(n)-\frac{1}{3}\cdot 0.5^n u(n)$

主要应用于单阶极点的序列。

研习社24西电9021/9024考研复试t4vizuddk
西电通院电院智能院考研群：702628797

第三章 离散傅立叶变换

3.1 复试笔试点睛

1. 一个序列的 DFT 与序列的傅里叶变换之间的关系是什么？
2. 序列的 DFT 和序列的 z 变换间的关系是什么？序列的 DFT 和序列的 Z 变换间的关系是什么？
3. 有限长序列 $x(n)$ 的长度为 M，对其进行频域采样，不失真的条件是什么？

   两个有限长序列 $x_1(n),0 \le n \le M$，$x_2(n),0 \le n \le N$，对它们进行线性卷积，结果用 $y(n)$ 表示，$y(n)$ 的长度是多少？如果进行循环卷积，那么什么时候线性卷积和循环卷积的结果相等？
4. 用 DFT 进行谱分析带来哪些误差问题？采取什么措施可以减少这些误差？
5. 奈奎斯特采样定理的要点是什么？频域采样定理的要点是什么？

研习社24西电9021/9024考研复试VIP群
西电通院电院智能院考研群：702628797

3.2 复试笔试重难点知识点

一、前言

信号处理中会遇到几种信号形式：（1）连续周期信号（2）连续非周期信号（3）离散非周期信号（4）离散周期信号(重点)

各种信号在时域和频域之间总的来说都是傅里叶变换，但具体形式及应用是不同的。

1.连续周期信号 —— 傅里叶级数（DFS）

连续周期信号 $\tilde{x}(t)$ 可展开成傅里叶级数：$\tilde{x}(t)=\sum_{n=-\infty}^{\infty}c_n e^{jn\Omega_0 t}$ （*）

式中，$\Omega_0=\frac{2\pi}{T_0}$，$T_0$ 为 $\tilde{x}(t)$ 的周期。

傅里叶级数的系数为：$c_n=\frac{1}{T_0}\int_{-T_0/2}^{T_0/2}\tilde{x}(t)e^{-jn\Omega_0 t}dt$

幅度频谱是指各次谐波的振幅随频率的变化关系，即：

$$|c_n|\sim\Omega(n\Omega_0)$$

连续时间^{时域}、周期 $\leftrightarrow$ 非周期、离散频率^{频域}

2.连续非周期信号 —— 傅里叶变换（FT）

连续非周期信号 $x(t)$ 的傅里叶变换为：

$$X(j\Omega)=\int_{-\infty}^{\infty}x(t)e^{-j\Omega t}dt$$

因为非周期可视为 $T_0\to\infty$，则离散频谱间距 $\Omega_0=\frac{2\pi}{T_0}\to 0$，则 $X(j\Omega)$ 变成 Ω 的连续函数。

连续时间^{时域}、非周期 $\leftrightarrow$ 非周期、连续频率^{频域}

3．离散非周期信号 —— 序列的傅里叶变换（DTFT）

$$X(e^{j\omega})=\sum_{n=-\infty}^{\infty}x(n)e^{-j\omega n}$$

如果把序列看成连续时间信号的采样，采样间隔为 T，则数字频率 ω 和模拟

角频率Ω的关系为$\omega = \Omega T$，且$x(n) = x(nT)$，代入上式，得：

$$X(e^{j\Omega T}) = \sum_{n=-\infty}^{\infty} x(nT)e^{-jn\Omega T}$$

离散时间、非周期 $\leftrightarrow$ 周期、连续频率

4．离散周期信号 —— 离散傅里叶级数（DFS）

设$\tilde{x}(n)$是周期为N的周期序列，即：$\tilde{x}(n) = \tilde{x}(n + rN)$　　r为任意整数

表 3.1 四种傅里叶变换形式的归纳

	时间函数	对应关系	频率函数
1	连续 非周期		连续 非周期
2	连续 周期		离散 非周期
3	离散 非周期		连续 周期
4	离散 周期		离散 周期

一般规律：一个域的离散对应另一个域的周期延拓， 一个域的连续必定对应另一个域的非周期。(重点)

研习社24西电9021/9024考研复试t4wizudlk
西电通院电院智能院考研群：702628797

二. 有限长序列的离散傅立叶变换(DFT)

1.定义

$$X(k)=DFT[x(n)]=\{DFS[x(<n>_N)]\}R_N(k)=\sum_{n=0}^{N-1}x(n)W_N^{kn}\ ,\ 0\leqslant k\leqslant N-1\text{------}$$

（记住!!）

$$x(n)=IDFT[X(k)]=\{IDFS[X(<k>_N)]\}R_N(n)=\frac{1}{N}\sum_{k=0}^{N-1}X(k)W_N^{-kn}\ ,\ 0\leqslant n\leqslant N-1\text{------}$$

记住!

其中，$W_N=e^{-j\frac{2\pi}{N}}$

应当注意，虽然 $x(n)$ 和 $X(k)$ 都是长度为 N 得有限长序列，但他们分别是由周期序列 $x_p(n)$ 和 $X_p(k)$ 截取其主周期得到的，周期为 N 的周期序列 $x_p(n)$ 可以看成长度为 N 的有限长序列 $x(n)$ 周期延拓的结果。本质上是做 DFS 或 IDFS，所以不能忘记它们的隐含周期性。尤其是涉及其位移特性时更要注意。(重点)

DFT 的隐含周期性：$W_N^k=W_N^{k+mN}$ k,m为整数，N为自然数(重点)

2.离散傅立叶变换与 DTFT、Z 变换的关系(重点)

$$X(k)=X(j\omega)|_{\omega=\frac{2\pi}{N}k}=X(z)|_{z=e^{j\frac{2\pi}{N}k}}$$

DFT 的物理意义：X（k）为 x(n)的傅里叶变换 $X(e^{j\omega})$ 在区间 $[0,2\pi]$ 上的等间隔采样。$X(k)$ 为 $X(z)$ 在 Z 平面单位圆上的 N 点等间隔采样。

3.时域分析

记住结论：时域抽样对应频域的周期拓展，频率抽样对应时域的以周期 N 的周期拓展。

这可以表述为如下公式：$y(n)=\sum_{m=-\infty}^{\infty}x(n+mN)$

三．离散傅立叶变换的基本性质

1.线性性质

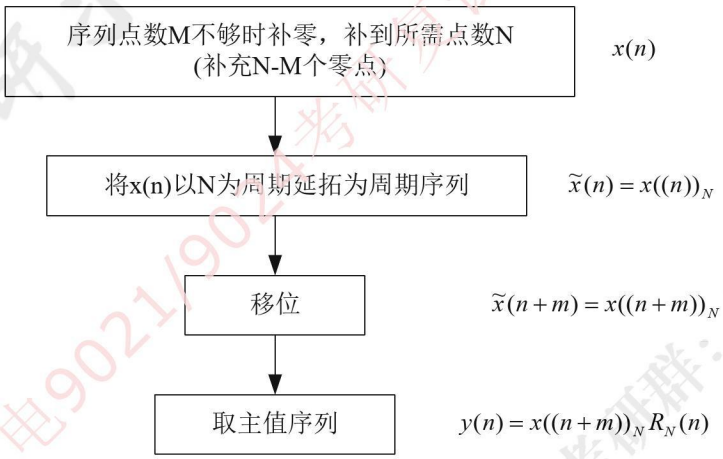
若 $y(n)=ax_1(n)+bx_2(n)$ 则 $Y(k)=DFT[y(n)]=aX_1(k)+bX_2(k)$

2. 循环移位性质

设 $x(n)$ 是长度为 M 的有限长序列，则 $x(n)$ 的 N 点循环移位定义为（ $N\geq M$ ）：

$$y(n)=x((n+m))_N R_N(n)$$

循环移位的实现步骤：



研习社24西电9021/9024考研复试t4vizeddk
西电通院电院智能院考研群：702628797

四. 循环卷积定理（重点）

设序列 $h(n)$和 $x(n)$的长度分别为 N 和 M。$h(n)$与 $x(n)$的 L 点循环卷积定义为

$$y_c(n)=[\sum_{m=0}^{L-1}h(m)x((n-m))_L]R_L(n)$$

式中，L 称为循环卷积区间长度，$L\geqslant\max[N, M]$。

2) 循环卷积矩阵

$$\begin{bmatrix} y(0)_c \\ y(1)_c \\ y(2)_c \\ \vdots \\ y(L-1) \end{bmatrix}=\begin{bmatrix} x(0) & x(L-1) & x(L-2) & \cdots & x(1) \\ x(1) & x(0) & x(L-1) & \cdots & x(2) \\ x(2) & x(1) & x(0) & \cdots & x(3) \\ \vdots & \vdots & \vdots & \ddots & \vdots \\ x(L-1) & x(L-2) & x(L-3) & \cdots & x(0) \end{bmatrix}\begin{bmatrix} h(0) \\ h(1) \\ h(2) \\ \vdots \\ h(L-1) \end{bmatrix}$$

特点：

（1）第 1 行是序列 $[x(0), x(L-1), \cdots, x(1)]$的循环倒相序列。注意，如果 $x(n)$的长度 $M<L$，则需要在 $x(n)$末尾补 $L-M$ 个零后，再形成第一行的循环倒相序列。

（2）第 1 行以后的各行均是前一行向右循环移 1 位形成的。

（3）矩阵的各主对角线上的序列值均相等。

循环卷积和线性卷积的区别

线性卷积：翻折—>乘加—>移位 ：y（n）=x（n）*h（n）=∑h（k）x（n-k）

循环卷积：补零—>周期延拓—>翻折—>循环移位—>对应值相加

例：计算下面给出的两个长度为 4 的序列 $h(n)$与 $x(n)$的 4 点和 8 点循环卷积。（重点）

$$h(n)=\{h(0), h(1), h(2), h(3)\}=\{1,1,1,1\}$$
$$x(n)=\{x(0), x(1), x(2), x(3)\}=\{1,2,3,4\}$$

解：按照循环卷积矩阵写出 $h(n)$与 $x(n)$的 4 点循环卷积矩阵形式为

$$\begin{bmatrix} y_c(0) \\ y_c(1) \\ y_c(2) \\ y_c(3) \end{bmatrix}=\begin{bmatrix} 1 & 4 & 3 & 2 \\ 2 & 1 & 4 & 3 \\ 3 & 2 & 1 & 4 \\ 4 & 3 & 2 & 1 \end{bmatrix}\begin{bmatrix} 1 \\ 1 \\ 1 \\ 1 \end{bmatrix}=\begin{bmatrix} 10 \\ 10 \\ 10 \\ 10 \end{bmatrix}$$

$h(n)$与 $x(n)$的 8 点循环卷积矩阵形式为

$$\begin{bmatrix} y_c(0) \\ y_c(1) \\ y_c(2) \\ y_c(3) \\ y_c(4) \\ y_c(5) \\ y_c(6) \\ y_c(7) \end{bmatrix} = \begin{bmatrix} 1 & 0 & 0 & 0 & 0 & 4 & 3 & 2 \\ 2 & 1 & 0 & 0 & 0 & 0 & 4 & 3 \\ 3 & 2 & 1 & 0 & 0 & 0 & 0 & 4 \\ 4 & 3 & 2 & 1 & 0 & 0 & 0 & 0 \\ 0 & 4 & 3 & 2 & 1 & 0 & 0 & 0 \\ 0 & 0 & 4 & 3 & 2 & 1 & 0 & 0 \\ 0 & 0 & 0 & 4 & 3 & 2 & 1 & 0 \\ 0 & 0 & 0 & 0 & 4 & 3 & 2 & 1 \end{bmatrix} \begin{bmatrix} 1 \\ 1 \\ 1 \\ 1 \\ 0 \\ 0 \\ 0 \\ 0 \end{bmatrix} = \begin{bmatrix} 1 \\ 3 \\ 6 \\ 10 \\ 9 \\ 7 \\ 4 \\ 0 \end{bmatrix}$$

【补充】①计算 $h(n)$与 $x(n)$的线性卷积？②哪一种情况下计算的循环卷积结果就等于线性卷积？

【说明】当循环卷积区间长度 L 大于等于 $y(n)=h(n)*x(n)$的长度时，循环卷积结果就等于线性卷积。假设 $h(n)$和 $x(n)$都是有限长序列，长度分别是 N 和 M。循环卷积等于线性卷积的条件是 $L \geq N+M-1$。（重点）

3） 时域循环卷积定理

设 h(n)和 x(n)的长度分别为 N 和 M，其 L 点循环卷积为

$$y_c(n) = h(n) \textcircled{L} x(n) = \sum_{m=0}^{L-1} h(m) x((n-m))_L R_L(n)$$

且 $\begin{matrix} H(k) = DFT[h(n)]_L \\ X(k) = DFT[x(n)]_L \end{matrix}$ $0 \leq k \leq L-1$

则由 DFT 的循环卷积定理有

$$Y_c(k) = DFT[y_c(n)]_L = H(k)X(k) \qquad 0 \leq k \leq L-1$$

研习社24西电9021/9024考研交流群wizuddk
西电通院电院智能院考研群：702628797

五.频域采样定理

离散傅里叶变换相当于信号傅里叶变换的等间隔采样，也就是说实现了频域的采样，便于计算机计算。那么是否任一序列都能用频域采样的方法去逼近呢？这是一个很吸引人的问题。

我们考虑一个任意的绝对可和的序列 $x(n)$，它的 z 变换为

$$X(z)=\sum_{n=-\infty}^{\infty}x(n)z^{-n}$$

如果对 $X(z)$单位圆上进行等距离采样

$$X(k)=X(z)\big|_{z=W_N^{-k}}=\sum_{n=-\infty}^{\infty}x(n)W_N^{nk}$$

现在要问，这样采样以后，信息有没有损失？或者说，采样后所获得的有限长序列 $x_N(n)$能不能代表原序列 $x(n)$。

$$x_N(n)=IDFT[X(k)]$$

为了弄清这个问题，我们从周期序列 $\tilde{x}_N(n)$ 开始

$$\tilde{x}_N(n)=IDFS[\tilde{X}(k)]=\frac{1}{N}\sum_{k=0}^{N-1}\tilde{X}(k)W_N^{-nk}=\frac{1}{N}\sum_{k=0}^{N-1}X(k)W_N^{-nk}$$

$$=\frac{1}{N}\sum_{k=0}^{N-1}[\sum_{m=-\infty}^{\infty}x(m)W_N^{mk}]W_N^{-nk}=\sum_{m=-\infty}^{\infty}x(m)[\sum_{k=0}^{N-1}\frac{1}{N}W_N^{(m-n)k}]$$

由于

$$\frac{1}{N}\sum_{k=0}^{N-1}W_N^{(m-n)k}=\begin{cases}1, & m=n+rN,\ r\text{为任意整数}\\ 0, & \text{其它}m\end{cases}$$

所以

$$\tilde{x}_N(n)=\sum_{r=-\infty}^{\infty}x(n+rN)$$

也即 $\tilde{x}_N(n)$ 是原非周期序列 $x(n)$的周期延拓序列，其时域周期为频域采样点数 N。在第一章我们看到，时域的采样造成频域的周期延拓，这里又对称的看到，频域采样同样造成时域的周期延拓。

因此，如果序列 $x(n)$不是有限长的，则时域周期延拓时，必然造成混叠现象，

因而一定会产生误差。

对于长度为 M 的有限长序列，只有当频域采样点数 N 大于或等于序列长度 M 时，才有

$$x_N(n)=\tilde{x}_N(n)R_N(n)=\sum_{r=-\infty}^{\infty}x(n+rN)R_N(n)=x(n)$$

即可由频域采样值 X(k)恢复出原序列 x(n)，否则产生时域混叠现象，这就是所谓的频域采样定理。（重点）

内插公式：$$X(z)=\frac{1-z^{-N}}{N}\sum_{k=0}^{N-1}\frac{X(k)}{1-W_N^{-k}z^{-1}}$$

研习社24西电9021/9024考研复试t4vizudqk
西电通院电院智能院考研群：702628797

六．DFT 应用举例

1．用 DFT 计算线性卷积(重点)

用循环（周期）卷积计算有限长序列的线性卷积(重点)

对周期要求：$N \geq N1+N2-1$（N1、N2 分别为两个序列的长度）(记住!!)

2．用 DFT 进行谱分析的误差问题(重点)

（1）混叠现象

利用 DFT 逼近连续时间信号的傅里叶变换，为避免混叠失真，按照抽样定理的要求，采样频率至少是信号最高频率的两倍。

解决混叠问题的唯一方法是保证采样频率足够高。

（2）截断效应

任何带限信号都是非时限的，任何时限信号都是非带限的。实际问题中遇到的离散时间序列可能是非时限的、无限长序列，在对该序列利用 DFT 进行处理时，由于作 DFT 的点数总是有限的，因此就有一个必须将该序列截断的问题。序列截断的过程相当于给该序列乘上一个矩形窗口函数 $R_N(n)$。如果原来序列的频谱为 $X(e^{j\omega})$，矩形窗函数的频谱为 $W_R(e^{j\omega})$，则截断后有限长序列的频谱为

$$\hat{X}(e^{j\omega})=\frac{1}{2\pi}X(e^{j\omega})*W_R(e^{j\omega})$$

截断后序列的频谱与原序列频谱必然有差别，这种差别对谱分析的影响主要表现在如下两个方面：

①频谱泄露：由于矩形窗函数频谱的引入，使卷积后的频谱被展宽了，即 $X(e^{j\omega})$ 的频谱“泄露”到其它频率处，称为频谱泄露。

在进行 DFT 时，由于取无限个数据是不可能的，所以序列的时域截断是必然的，泄露是难以避免的。为了尽量减少泄露的影响，截断时要根据具体的情况，选择适当形状的窗函数，如汉宁窗或汉明窗等。

②谱间干扰。 在主谱线两边形成很多旁瓣，引起不同频率分量间的干扰(简称谱间干扰)，特别是强信号谱的旁瓣可能湮没弱信号的主谱线，或者把强信号谱的旁瓣误认为是另一频率的信号的谱线，从而造成假信号，这样就会使谱分析产生较大偏差。

（3）栅栏效应

由于 DFT 是有限长序列的频谱等间隔采样所得到的样本值，这就相当于透过一个栅栏去观察原来信号的频谱，因此必然有一些地方被栅栏所遮挡，这些被遮挡的部分就是未被采样到的部分，这种现象称为栅栏效应。由于栅栏效应总是存在的，因而可能会使信号频率中某些较大的频率分量由于被“遮挡”而无法得到反映。此时，通常在有限长序列的尾部增补若干个零值，借以改变原序列的长度。这样对加长的序列作 DFT 时，由于点数增加就相当于调整了原来栅栏的间隙，可以使原来得不到反映的那些较大的频率分量落在采样点上而得到反映。

产生原因说明：由傅里叶变换理论知道，若信号持续时间有限长，则其频谱无限宽；若信号的频谱有限宽，则其持续时间必然为无限长。(重点)

如果用 DFT 分析连续信号的频谱，在对连续信号采样时，无法满足采样定理，那么就会出现频谱混叠现象。解决混叠问题的唯一方法是保证采样频率足够高。当连续信号无限长或很长时，在对连续信号采样时，采样点数太多以致无法存储和计算，需要将信号截断，这样将导致频谱的泄漏现象。为了尽量减少泄露的影响，截断时要根据具体的情况，选择适当形状的窗函数，如汉宁窗或汉明窗等。用 DFT 计算连续信号的频谱只能得到采样点上的频谱，而不能看到整个频谱，这种现象称为栅栏效应。可以通过增加点数，因为点数增加就相当于调整了原来栅栏的间隙，可以使原来得不到反映的那些较大的频率分量落在采样点上而得到反映。

3）用 DFT 进行谱分析的参数选择问题(重点)

对模拟信号频谱的采样间隔，称之为频率分辨率。

（1）在已知信号的最高频率 fc(即谱分析范围)时，为了避免频率混叠现象，要求采样频率 Fs 满足：Fs>2fc。

（2）采样频率 Fs，采样点数 N，谱分辨率 $F=F$s$/N$，如果保持采样点数 N 不变，要提高频谱分辨率(减小 F)，就必须降低采样频率，采样频率的降低会引起谱分析范围变窄和频谱混叠失真。如维持 Fs 不变，为提高频率分辨率可以增加采样点数 N。因为 $NT=T_p$，$T=F$s^{-1}，只有增加对信号的观察时间 T_p，才能增加 N。

（3）采样点数 N>2fc$/F$

（4）最小记录时间 $T_p \geqslant 1/F$

例：用 DFT 对实信号进行谱分析，要求频率分辨率 $F \leq 50Hz$，信号最高频率为

$f_{\max}=1000Hz$，试确定以下参数：（1）最小记录时间；（2）最大取样间隔；（3）最少采样点数；（4）若要求频率分辨率提高一倍，求最少采样点数。（重点）

解 （1）$T_{p\min}=\dfrac{1}{F_{\max}}=0.02s$

（2）$T_{\max}=\dfrac{1}{2f_{\max}}=0.5ms$

（3）$N_{\min}=\dfrac{2f_{\max}}{F_{\max}}=\dfrac{T_{p\min}}{T_{\max}}=40$

（4）$N_{\min}=\dfrac{2f_{\max}}{F_{\max}}=\dfrac{2000}{25}=80$

研习社24西电9021/9024考研复试t4vizuddk
西电通院电院智能院考研群：702628797

第四章 离散时域系统的网络结构

4.1 复试笔试点睛

简答题：（重点）

1. IIR 和 FIR 滤波器的基本结构形式有哪些？
2. IIR 和 FIR 滤波器的基本特点是什么？

名词解释：（重点）

1. IIR 滤波器
2. FIR 滤波器

4.2 复试笔试重难点知识点

一、无限长脉冲响应基本网络结构

IIR（Infinite Impulse Response 无限长脉冲响应）滤波器具有以下特点（重点）：单位脉冲响应 h(n)无限长；系统函数 H(z)在有限 z 平面（0<|z|<∞）上有极点存在；结构上存在从输出到输入的反馈，即结构是递归型的。

1.直接型

对应的系统函数为：$H(z)=\dfrac{\sum_{i=0}^{M} b_i z^{-i}}{1-\sum_{i=0}^{M} a_i\, z^{-i}}$

直接型包括直接Ⅰ型和直接Ⅱ型，书本讲授的为直接Ⅱ型。直接Ⅱ型的推导，利用到线性移不变系统，交换级联子系统的次序，系统函数不变。

对于直接Ⅱ型，要求能够直接由差分方程或系统函数绘出相应的信号流图，反之亦然。

特点：便于理解，累积误差大，运算速度相对慢。（重点）

2.级联型

对应的系统函数为：$H(z)=A\dfrac{\prod_{r=1}^{M}(1-c_r z^{-1})}{\prod_{r=1}^{N}(1-d_r z^{-1})}$

把滤波器用若干二阶子网络级联起来构成，每个二阶子网络采用直接Ⅱ型结

构来实现。

特点：级联型结构中每一个一阶网络决定一个零点、一个极点，每一个二阶网络决定一对零点、一对极点。相对直接型结构，其优点是调整方便，此外，运算累积误差较直接型小。（重点）

3.并联型

对应的系统函数为：

$$H(z)=H_1(z)+H_2(z)+...+H_k(z)$$

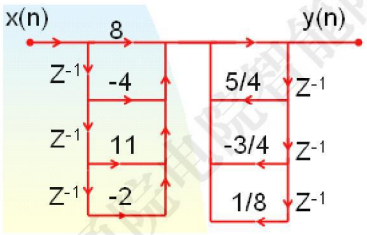
特点：每一个一阶网络决定一个实数极点，每一个二阶网络决定一对共轭极点，调整极点位置方便，但调整零点位置不如级联型方便。运算误差不积累。运算速度最高。（重点）

例：已知 IIR DF 的系统函数为 $H(z)=\dfrac{8z^3-4z^2+11z-2}{z^3-\frac{5}{4}z^2+\frac{3}{4}z-\frac{1}{8}}$ 画出直接 I 型、直接 II 型的结构流图。

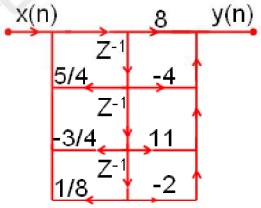
解：先将 $H(z)$ 化为 z^{-1} 的有理式

$$H(z)=\frac{8-4z^{-1}+11z^{-2}-2z^{-3}}{1-\frac{5}{4}z^{-1}+\frac{3}{4}z^{-2}-\frac{1}{8}z^{-3}}$$

直接 I 型：



直接 II 型：

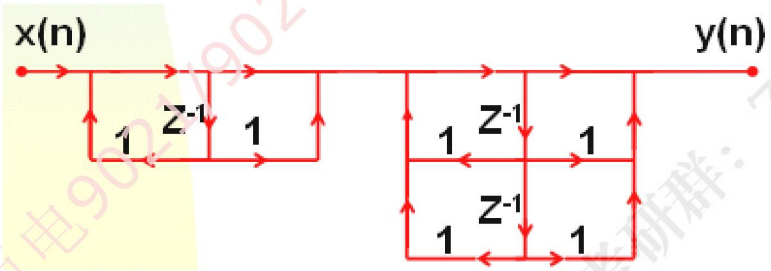


例：已知 IIR DF 的系统函数为 $H(z)=\dfrac{1+2z^{-1}+2z^{-2}+z^{-3}}{1-2z^{-1}+z^{-3}}$ 画出级联型和并联型的结构流图。

解：

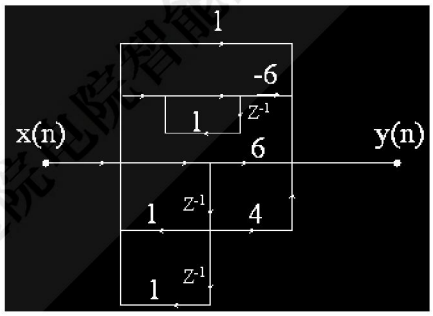
级联型

$$H(z)=\frac{1+2z^{-1}+2z^{-2}+z^{-3}}{1-2z^{-1}+z^{-3}}$$
$$=\frac{(1+z^{-1}+z^{-2})+(z^{-1}+z^{-2}+z^{-3})}{(1-z^{-1})-(z^{-1}-z^{-3})}$$
$$=\frac{(1+z^{-1}+z^{-2})+z^{-1}(1+z^{-1}+z^{-2})}{(1-z^{-1})-z^{-1}(1-z^{-2})}$$
$$=\frac{(1+z^{-1})(1+z^{-1}+z^{-2})}{(1-z^{-1})-z^{-1}(1-z^{-1})(1+z^{-1})}$$
$$=\frac{(1+z^{-1})(1+z^{-1}+z^{-2})}{(1-z^{-1})(1-z^{-1}-z^{-2})}$$



并联型：

$$H(z)=\frac{1+2z^{-1}+2z^{-2}+z^{-3}}{1-2z^{-1}+z^{-3}}$$
$$=\frac{1-2z^{-1}+z^{-3}+4z^{-1}+2z^{-2}}{1-2z^{-1}+z^{-3}}$$
$$=1+\frac{4z^{-1}+2z^{-2}}{1-2z^{-1}+z^{-3}}$$
$$=1+\frac{-6}{1-z^{-1}}+\frac{6+4z^{-1}}{1-z^{-1}-z^{-2}}$$



研习社24西电9021/9024考研复试t4vizuddk
西电通院电院智能院考研群：702628797

二、有限长脉冲响应基本网络结构

FIR（Finite Impulse Response 有限长脉冲响应）滤波器具有以下特点（重点）：单位脉冲响应 h(n)有限长；系统函数 H(z)在|z|>0 处收敛，对因果系统而言，极点全部位于 z=0 处；结构上主要是非递归结构，没有输出到输入的反馈。FIR 滤波器有以下几种基本结构：直接型；级联型。

1.直接型

$$H(z)=\sum_{n=0}^{N-1}h(n)z^{-n}$$

特点：直观明了，便于理解，但不便于调整参数。（重点）

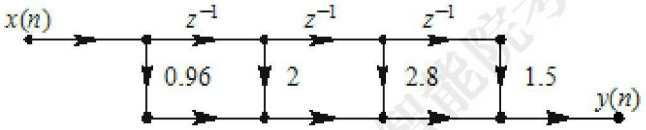
2.级联型

将 H（z）因式分解得到

特点：每一个一阶因子控制一个零点，每一个二阶因子控制一对共轭极点，调整零点位置比直接型方便，但 H（z）中的系数比直接型多（近似 3/2N），因而需要的乘法器多。（重点）

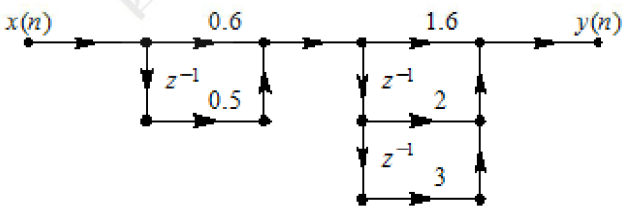
例：已知 FIR DF 的系统函数为 $H(z)=0.96+2.0z^{-1}+2.8z^{-2}+1.5z^{-3}$ 画出直接型和级联型的结构流图。（重点）

解：直接型：



级联型：

$$\begin{aligned}H(z)&=0.96+2.0z^{-1}+2.8z^{-2}+1.5z^{-3}\\&=0.96+2.0z^{-1}+z^{-2}+1.8z^{-2}+1.5z^{-3}\\&=(0.6+0.5z^{-1})(1.6+2z^{-1})+3z^{-2}(0.6+0.5z^{-1})\\&=(0.6+0.5z^{-1})(1.6+2z^{-1}+3z^{-2})\end{aligned}$$



第五章 无限脉冲响应数字滤波器的设计

5.1 复试笔试点睛

简答题：（重点）

1. 分析采用双线性变换法将该模拟滤波器转换成数字滤波器，数字滤波器的频率特性相对原模拟滤波器频率特性是否有失真，为什么？

2. 是否可以用脉冲响应不变法或双线性变换法把模拟带阻滤波器变换成数字带阻滤波器，为什么？

（答案：可以用双线性变换法把模拟带阻滤波器变换成数字带阻滤波器，但不能用脉冲响应不变法把模拟带阻滤波器变换成数字带阻滤波器。因为脉冲响应不变法中从 s 平面到 z 平面的映射是多值映射，将模拟带阻滤波器变成数字带阻滤波器会存在频率响应的混叠失真，而双线性变换法从中从 s 平面到 z 平面的映射是一一对应的，不存在频率响应的混叠失真。）

3. 说明脉冲响应不变法和双线性变换法各自的优点和缺点和适应范围？

4. 说明 IIR 数字滤波器间接设计法（由模拟滤波器到数字滤波器）的基本思想和设计要求。

名词解释：（重点）

1. IIR 数字滤波器间接设计法

2. 双线性变换法（双线性变换法是为克服脉冲响应不变法频率混叠现象提出的，其思想是将 s 平面上的点经过和二次映射到 z 平面。双线性变换法的优点是不会产生频率混叠，但却引入频率的非线性失真。）

研习社24西电9021/9024考研复试辅导资料群：702128797
西电通院电院智能院考研群：

5.2 IIR 数字滤波器设计方法

脉冲响应不变法思想是把模拟滤波器的单位冲激响应经过采样作为相应数字滤波器的单位冲激响应。其 s 平面和 z 平面的映射关系为：$z_i = e^{s_i T}$ 。冲激不变法的优点是数字频率和模拟频率为线性关系即：$\omega = \Omega T$ 。缺点是会产生频率混叠，适用低通设计。复试笔试重难点知识点

设计数字滤波器可以按照技术要求先设计一个模拟低通滤波器，得到模拟低通滤波器的传输函数 $H_a(s)$ ，再按一定的转换关系将 $H_a(s)$ 转换成数字低通滤波器的系统函数 $H(z)$ 。其设计流程如图所示 6.1 所示。

利用模拟滤波器的设计结果来求相应的数字滤波器，可以用映射的方法来实现，把 s 平面映射到 z 平面。这种由复变量 s 到复变量 z 之间的映射关系，必须满足三点要求：

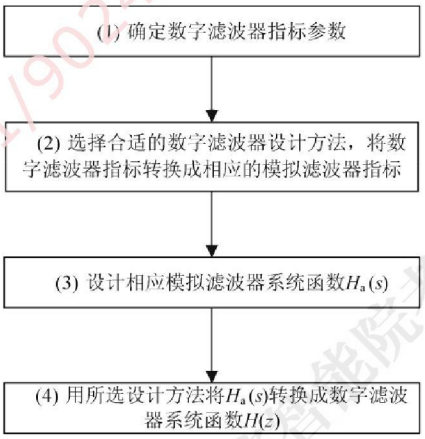


图 6.1 从模拟滤波器设计数字滤波器流程图

因果稳定的 $H_a(s)$ 映射成因果稳定的 $H(z)$ ，即 s 平面的左半平面必须映射到 z 平面单位圆的内部。（重点）

$H(z)$ 的频率响应能模仿 $H_a(s)$ 的频率响应，即 s 平面的虚轴必须映射到 z 平面的单位圆上。变换前后的滤波器在时域或频域的主要特征(频率响应或单位冲激响应等)应尽可能相同或接近。将传输函数 $H_a(s)$ 从 s 平面转换到 z 平面的方法有多种，主要有冲激不变法和双线性变换法。

一、脉冲响应不变法

设模拟滤波器的系统函数为 $H_a(s)$，相应的单位冲击响应是 $h_a(t)$，$H_a(s)=LT[h_a(t)]$。LT[.]代表拉氏变换，对 $h_a(t)$ 进行等间隔采样，采样间隔为 T，得到 $h_a(nT)$，将 h(n)= $h_a(nT)$ 作为数字滤波器的单位脉冲响应，那么数字滤波器的系统函数 $H(z)$ 便是 $h(n)$ 的 Z 变换。因此脉冲响应不变法是一种时域逼近方法，它使 $h(n)$ 在采样点上等于 $h_a(t)$。但是，模拟滤波器的设计结果是 $H_a(s)$，所以下面基于脉冲响应不变法的思想，导出直接从 $H_a(s)$ 到 $H(z)$ 的转换公式。

设模拟滤波器 $H_a(s)$ 只有单阶极点，且分母多项式的阶次高于多项式的阶次，将 $H_a(s)$ 用部分分式表示：$H_a(s)=\sum_{i=0}^{N}\frac{A_i}{s-s_i}$ 式中 s_i 为 $H_a(s)$ 的单阶极点。将 $H_a(s)$ 进行逆拉氏变换，得到：$h_a(t)=\sum_{i=0}^{N}A_i e^{s_i nT}u(t)$ 式中，$u(t)$ 是单位阶跃函数。对 $h_a(t)$ 进行等间隔采样，采样间隔为 T，得到：

$$h(n)=h_a(nT)=\sum_{i=0}^{N}A_i e^{s_i nT}u(nT)$$

对上式进行 Z 变换，得到数字滤波器的系统函数 $H(z)$，即

$$H(z)=\sum_{i=0}^{N}\frac{A_i}{1-e^{s_i T}z^{-1}}$$

由于冲激响应不变法（又称标准 z 变换法）从 s 平面→z 平面是通过 $z=e^{sT}$ 的多值映射，并不是一种简单的一一对应的代数映射关系。脉冲响应不变法所得到的数字滤波器的频率响应，不是简单的重现模拟滤波器的频率响应，而是模拟滤波器频率频率响应的周期延拓。所以希望所设计的滤波器是带限的，否则频率混叠现象会使设计出的数字滤波器在 $\omega=\pm\pi$ 附近的频率特性严

重的偏离模拟滤波器在 $\perp\frac{\pi}{T}$ 处的频率特性，严重时使数字滤波器的指标得不到满足。

特点（重点）

优点：1.频率变换关系是线性的，即 $\omega=\Omega T$，如果不存在频谱混叠现象，用这种方法设计的数字滤波器会很好地重现原模拟滤波器的频响特性。2.数字滤波器的单位脉冲响应完全模仿模拟滤波器的单位冲击响应波形，时域特性逼近好。缺点：会产生不同程度的频谱混叠失真，只适合用于带限滤波器（低通、带通滤波器）的设计，不适合用于高通、带阻滤波器的设计。

研习社24西电9021/9024考研复试t4vi2.com
西电通院电院智能院考研群：702628797

二、双线性变换法

s平面 $\xrightarrow[\text{频率压缩}]{\text{非线性}}$ s_1平面 $\xrightarrow[\text{不变法}]{\text{脉冲响应}}$ z平面 (这种映射法能保证使 s 平面与 z 平面建立单值对应，从而消除混叠现象)

$$H_a(s)=\sum_{i=0}^{N}\frac{A_i}{s-s_i}$$

将双线性变换 $s=\frac{2}{T}\frac{1-z^{-1}}{1+z^{-1}}$ 带入 $H_a(s)$，得 $H(z)=H_a(s)\Big|_{s=\frac{2}{T}\frac{1-z^{-1}}{1+z^{-1}}}$

s 平面的 Ω 与 z 平面的 ω 成非线性正切关系。正是因为如此，双线性变换法消除了频率混叠现象。但与此同时也直接影响数字滤波器频响逼真的模仿模拟滤波器的频响。这种频率之间的非线性变换关系带来了以下两个问题：

(1) 一个线性相位的模拟滤波器经双线性变换后得到非线性相位的数字滤波器；

(2) 如果模拟滤波器的频响具有片断常数特性，则转换到 z 平面上，数字滤波器仍具有片断常数特性，但特性转折点频率值与模拟滤波器特性转折点频率值成非线性关系。

这种频率的畸变，可通过对频率进行预修正来予以校正。

特点（重点）

优点：1.不产生频域混叠现象 2.双线性变换法可由简单的代数公式 $s=\frac{2}{T}\frac{1-z^{-1}}{1+z^{-1}}$ 将 $H_a(s)$ 直接转换成 $H(z)$。缺点：ω 与 Ω 之间的非线性关系是双线性变换法的缺点，是数字滤波器频响曲线不能保真地模仿模拟滤波器的频响曲线形状。只适合片段常数特性的滤波器设计。

第六章 有限脉冲响应数字滤波器的设计

6.1 复试笔试点睛

简答题(重点)：

1. 用窗口法设计 FIR 数字滤波器时，为了改善阻带的衰减特性，窗函数形状需要满足的两个标准是什么？

对窗口函数形状要求：(1)尽量减少窗口频谱中的旁瓣，使能量尽量集中在主瓣中，这样可减少上冲和余振，提高阻带衰减。(2)主瓣宽度尽量窄，以获得较陡的过渡带。

2. 什么是吉布斯现象（效应）？如何有效减少该效应的影响？

（有限长的序列 $h(n)$去代替无限长的 $h_d(n)$，肯定会引起误差，表现在频域就是通常所说的吉布斯（Gibbs）效应。该效应引起过渡带加宽以及通带和阻带内的波动，尤其使阻带的衰减小，从而满足不了技术上的要求。减少该效应只能从窗函数的形状上找解决问题的方法。构造新的窗函数形状，使其谱函数的主瓣包含更多的能量，相应旁瓣幅度更小。旁瓣的减小可使通带、阻带波动减小，从而加大阻带衰减。）

3. 窗口法设计 FIR 数字滤波器，改变窗的宽度对滤波器的频率特性有什么影响？

4. 简要说明窗函数法设计线性相位 FIR 滤波器的一般步骤。

5. 综述数字滤波器的两个主要分类 IIR 和 FIR 滤波器的特点和设计方法的不同。

研习社24西电
研习社24西电9021/9024考研资料4VIP群
西电通院电院智能院考研群：702628797

6.2 复试笔试重难点知识点

一、线性相位 FIR 滤波器的特点（重点）

特点：可实现严格的线性相位特性、系统是稳定的、因果的、阶数较高稳定和线性相位特性是 FIR 滤波器最突出的优点。

设 FIR 单位脉冲响应 $h(n)$ 长度为 N，其传输函数为 $H(\mathrm{e}^{\mathrm{j}\omega})=\sum_{n=0}^{N-1}h(n)\mathrm{e}^{-\mathrm{j}\omega n}$（重点）

$h(n)\rightarrow H(e^{j\omega})=H_g(\omega)e^{j\theta(\omega)}$

其中，$H_g(\omega)$ ——幅度特性（重点），纯实数，可正可负，即 $H_g(\omega)=\pm|H(e^{j\omega})|$

$\theta(\omega)$ ——相位特性（重点）

$H(e^{j\omega})$ 线性相位是指 $\theta(\omega)$ 是 ω 的线性函数，即群时延 $\tau=-\dfrac{d\theta(\omega)}{d\omega}=c$（常数）

1. 线性相位 FIR 数字滤波器时域约束条件(重点)

①第一类线性相位（严格线性相位特性）对 h(n)的约束条件，要求 τ 和 $h(n)$ 满足：

$$\begin{cases}\theta(\omega)=-\omega\tau & \tau=\dfrac{N-1}{2}\\ h(n)=h(N-1-n) & 0\le n\le N-1\end{cases}$$

②第二类线性相位对 h(n)的约束条件，要求 τ 和 $h(n)$ 满足：

$$\begin{cases}\theta(\omega)=-\dfrac{\pi}{2}-\omega\tau & \tau=\dfrac{N-1}{2}\\ h(n)=-h(N-1-n) & 0\le n\le N-1\end{cases}$$

问：何为线性相位滤波器?FIR滤波器成为线性相位滤波器的充分条件是什么？（重点）

答：线性相位的滤波器是指其相位函数 $\phi(\omega)$ 与数字频率 ω 成线性关系，即 $\phi(\omega)=\beta-\alpha\omega(\alpha,\beta$为常数$)$。

FIR 滤波器成为线性相位的充分条件是：

② $h(n)$ 是实数。

② $h(n)$ 满足以 $n=\frac{N-1}{2}$ 为中心的偶对称或者奇对称，即 $h(n)=\pm h(N-1-n)$。

2.线性相位 FIR 滤波器幅度特性 $H_g(\omega)$ 的特点(重点)

（1）h(n)=h(N-1-n)，N 为奇数——1 型

（2）h(n)=h(N-1-n)，N 为偶数——2 型

（3）h(n)=-h(N-1-n)，N 为奇数——3 型

（4）h(n)=-h(N-1-n)，N 为偶数——4 型

类型	h(n)	Hg(ω)
1 型	h(n)=h(N-1-n)，N 为奇数	Hg(ω)关于 ω=0、π、2π 偶对称
2 型	h(n)=h(N-1-n)，N 为偶数	Hg(ω)关于 ω=0、2π 偶对称，关于 ω=π 奇对称
3 型	h(n)=-h(N-1-n)，N 为奇数	Hg(ω)关于 ω=0、π、2π 奇对称
4 型	h(n)=-h(N-1-n)，N 为偶数	Hg(ω)关于 ω=0、2π 奇对称，关于 ω=π 偶对称

实际使用时，一般来说，1 型适合构成低通、高通、带通、带阻滤波器；2 型适合构成低通、带通滤波器；3 型适合构成带通滤波器；4 型适合构成高通、带通滤波器。(重点)

举例说明(重点)：

系统函数： $H(z)=1-3z^{-1}-6z^{-2}+6z^{-3}+3z^{-4}-z^{-5}$

差分方程： $y(n)=x(n)-3x(n-1)-6x(n-2)+6x(n-3)+3x(n-4)-x(n-5)$

因为 $h(n)$ 为奇对称，N=6 为偶数。所以是 4 型（第二类线性相位、N 为偶数情况）

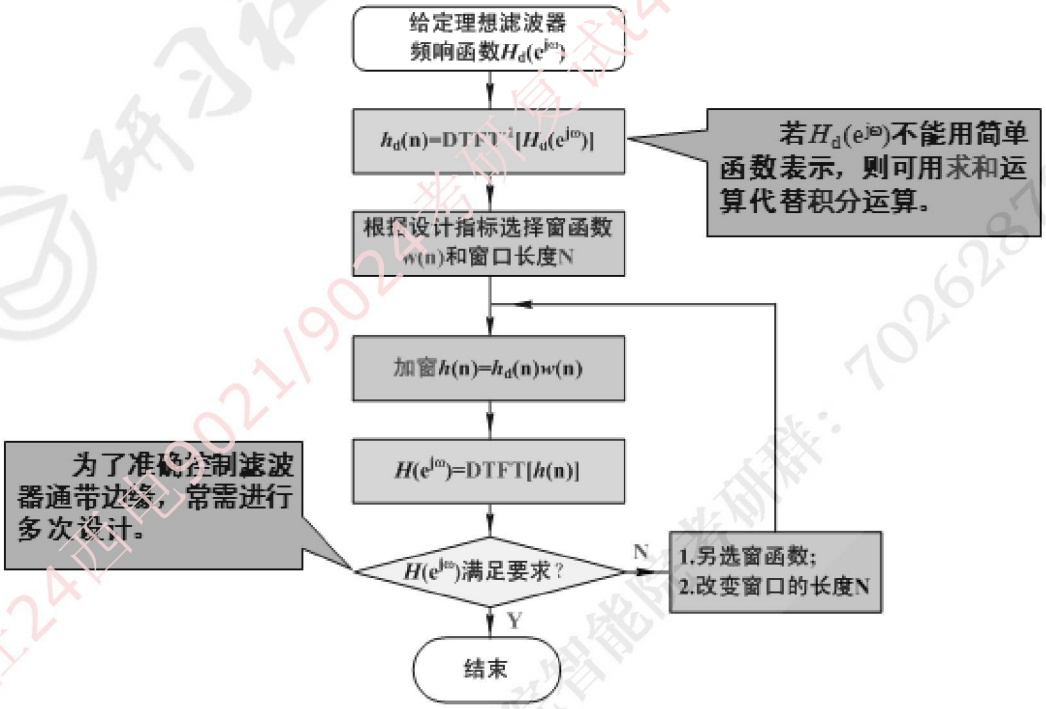
3.线性相位 FIR 滤波器零点分布特点

由于 $H(z)=\pm z^{-(N-1)}H(z^{-1})$，线性相位 FIR 滤波器的系统函数的零点分布具有如下特点：如果 $z=z_i$ 是 $H(z)$ 的零点，其倒数 z_i^{-1} 也必然是其零点；因为 $h(n)$ 是实序列，故 $H(z)$ 的零点也必定共轭成对，所以 z_i^* 和 $(z_i^{-1})^*$ 也是其零点。只要知道其中一个，其他三个也就确定了。所以，零点必是互为倒数的共轭对。

研习社24西电9021/9024考研复试4qizuddk
西电通院电院智能院考研群：702628797

二、窗函数法设计线性相位 FIR 滤波器的一般步骤

通过第 6 章可知 IIR 数字滤波器的设计的主要方法是先设计一个模拟低通滤波器，然后把它转换成形式的数字滤波器。但是对于 FIR 滤波器来说，设计方法的关键要求之一就是保证线性相位条件。而 IIR 滤波器的设计方法中只对幅度特性进行了设计故无法保证这一点。所以，FIR 滤波器的设计需要采用完全不同的方法。FIR 滤波器的设计方法主要有窗函数法、频率采样法、切比雪夫逼近法等。



FIR 滤波器的窗函数法设计思想是：在保证线性相位条件的前提下，选择合适的 $h(n)$ 长度 N，使其传输函数 $H(e^{j\omega})$ 满足技术指标要求。用一个长度为 N 的序列 $h(n)$ 替代无限长 $h_d(n)$ 作为实际设计的滤波器的的单位脉冲响应，其系统函数为 $H(z)=\sum_{n=0}^{N-1}h(n)z^{-n}$ 这种设计思想称为窗函数设计法。显然在保证 $h(n)$ 对称性的前提下，窗函数长度 N 越长，则 $h(n)$ 越接近 $h_d(n)$。但是误差是肯定存在的，这种误差称为截断误差。

对 FIR 滤波器的影响：由于加窗后无限长的$h_d(n)$变为有限长的$h(n)$，肯定会引起误差，表现在频域就是通常所说的吉布斯（Gibbs）效应。吉布斯效应直接影响滤波的性能，导致通带内的平稳性变差和阻带衰减不能满足技术指标。通常滤波器设计都要求过渡带越窄越好，阻带衰减越大越好。所以设计滤波器的方法要使吉布斯效应的影响降低到最小。调整窗口长度 N 只能有效的控制过渡带的宽度，并不能减少带内波动以及增大阻带衰减。要想减小吉布斯效应的影响，增加N是无法实现的。如果改变窗函数的形状，使其幅度函数具有较低的旁瓣幅度，就可减小通带、阻带的波动，并加大阻带衰减。但是这时主瓣将会加宽以包含更多的能量，故而将会增加过渡带宽度。所以当N一定时，减小波动和减小过渡带是一对矛盾。必须根据实际要求，选择合适的窗函数以满足波动要求，然后选择N满足过渡带指标。

设计步骤：(1)根据对阻带衰减以及过渡带的指标要求，选择窗函数的类型，并估计窗口长度 N；（2）构造希望逼近的频率响应函数$H_d(e^{j\omega})$，即$H_d(e^{j\omega}) = H_{dg}(\omega)e^{-j\omega(N-1)/2}$（3）计算$h_d(n)$：如果给出待求滤波器的频响函数为$H_d(e^{jw})$，那么在单位脉冲响应作用下：$h_d(n) = \frac{1}{2\pi}\int_{-\pi}^{\pi} H_d(e^{j\omega})d\omega$；（4）加窗得到设计结果：$h(n) = h_d(n)w(n).$

科目四：微机原理与接口技术

微机原理对很多没有学过的同学来说应该是个难点，但是基本上只要你了解单片机的话，这门课就很简单，当然考试的题目也很简单，考的都是最基本的知识点，在每一章前面的考点我都列出了需要特别注意的知识点，都是考基础知识点。其中第二三章是汇编程序的基础，需要记忆的东西特别多，第五六七章是硬件电路的设计，第九十章是 8253 和 8255A，这两章会和 8086 系统结合起来考，会有编程和硬件设计，题目比较综合。

第一章 数制与码制

考点：本章内容简单，数制和码制的内容与数电第一章内容相似，要求会进行数制转化，能够求数的原码和补码。

一、计算机中的数制

1、无符号数的表示方法：

（1）十进制计数的表示法

特点：以十为底，逢十进一；共有 0-9 十个数字符号。

（2）二进制计数表示方法：

特点：以 2 为底，逢 2 进位；只有 0 和 1 两个符号。

（3）十六进制数的表示法：

特点：以 16 为底，逢 16 进位；有 0--9 及 A—F（表示 10~15）共 16 个数字符号。

2、各种数制之间的转换

（1）非十进制数到十进制数的转换

按相应进位计数制的权表达式展开，再按十进制求和。（见书本 1.2.3，1.2.4）

（2）十进制数制转换为二进制数制

十进制 → 二进制的转换：

整数部分：除 2 取余；

小数部分：乘 2 取整。

十进制 → 十六进制的转换：

整数部分：除 16 取余；

小数部分：乘 16 取整。

以小数点为起点求得整数和小数的各个位。

（3）二进制与十六进制数之间的转换

用 4 位二进制数表示 1 位十六进制数

3、无符号数二进制的运算（见教材 P5）

4、二进制数的逻辑运算

特点：按位运算，无进借位

（1）与运算

只有 A、B 变量皆为 1 时，与运算的结果就是 1

（2）或运算

A、B 变量中，只要有一个为 1，或运算的结果就是 1

（3）非运算

（4）异或运算

A、B 两个变量只要不同，异或运算的结果就是 1

二、计算机中的码制

1、对于符号数，机器数常用的表示方法有原码、反码和补码三种。数 X 的原码记作$[X]_{原}$，反码记作$[X]_{反}$，补码记作$[X]_{补}$。

注意：对正数，三种表示法均相同。

它们的差别在于对负数的表示。

（1）原码

定义：

符号位：0 表示正，1 表示负；

数值位：真值的绝对值。

注意：数 0 的原码不唯一

（2）反码

定义：

若 X>0 ，则 $[X]_{反}=[X]_{原}$

若 X<0， 则 $[X]_{反}=$ 对应原码的符号位不变，数值部分按位求反

注意：数 0 的反码也不唯一

（3）补码

定义：

若 X>0， 则$[X]_{补}= [X]_{反}= [X]_{原}$

若 X<0， 则$[X]_{补}= [X]_{反}+1$

注意：机器字长为 8 时，数 0 的补码唯一，同为 00000000

2、8 位二进制的表示范围：

原码：-127~+127

反码：-127~+127

补码：-128~+127

3、特殊数 10000000

该数在原码中定义为： -0

在反码中定义为： -127

在补码中定义为： -128

对无符号数：$(10000000)_2 = 128$

三、信息的编码

1、十进制数的二进制数编码

用 4 位二进制数表示一位十进制数。有两种表示法：压缩 BCD 码和非压缩 BCD 码。

（1）压缩 BCD 码的每一位用 4 位二进制表示，0000~1001 表示 0~9，一个字节

研习社24西电9021/9024考研复试t4vizuddk
西电通院电院智能院考研群：702628797

表示两位十进制数。

（2）非压缩 BCD 码用一个字节表示一位十进制数，高 4 位总是 0000，低 4 位的 0000~1001 表示 0~9

2、字符的编码

计算机采用 7 位二进制代码对字符进行编码

（1）数字 0~9 的编码是 0110000~0111001，它们的高 3 位均是 011，后 4 位正好与其对 应的二进制代码（BCD 码）相符。

（2）英文字母 A~Z 的 ASCII 码从 1000001（41H）开始顺序递增，字母 a~z 的 ASCII 码从 1100001（61H）开始顺序递增，这样的排列对信息检索十分有利。

第二章 8086CPU 结构与功能

考点：本章主要了解 8086 的结构，以及寄存器结构。各个寄存器的用法一定要熟练。

1、8086 是一种单片微处理芯片，其内部数据总线的宽度是 16 位，外部数据总线宽度也是 16 位，片内包含有控制计算机所有功能的各种电路。

8086 地址总线的宽度为 20 位，有 1MB（2^{20}）寻址空间。

2、 8086CPU 由总线接口部件 BIU 和执行部件 EU 组成。BIU 和 EU 的操作是异步的，为 8086 取指令和执行指令的并行操作体统硬件支持。

3、8086 处理器的启动

4、寄存器结构

8086 微处理器包含有 13 个 16 位的寄存器和 9 位标志位。

4 个通用寄存器（AX，BX，CX，DX）

4 个段寄存器（CS，DS，SS，ES）

4 个指针和变址寄存器（SP，BP，SI，DI）

指令指针（IP）

1）通用寄存器

（1）8086 含 4 个 16 位数据寄存器，它们又可分为 8 个 8 位寄存器，即：

AX ➔AH，AL

BX➔BH，BL

CX➔CH，CL

DX➔DH，DL

常用来存放参与运算的操作数或运算结果

（2）数据寄存器特有的习惯用法

AX：累加器。多用于存放中间运算结果。所有 I/O 指令必须都通过 AX 与接口传送信息；

BX：基址寄存器。在间接寻址中用于存放基地址；

CX：计数寄存器。用于在循环或串操作指令中存放循环次数或重复次数；

DX：数据寄存器。在 32 位乘除法运算时，存放高 16 位数；在间接寻址的 I/O 指令中存放 I/O 端口地址。

2）指针和变址寄存器

SP：堆栈指针寄存器，其内容为栈顶的偏移地址；

BP：基址指针寄存器，常用于在访问内存时存放内存单元的偏移地址。

SI：源变址寄存器

DI：目标变址寄存器

变址寄存器常用于指令的间接寻址或变址寻址。

3）段寄存器

CS：代码段寄存器，代码段用于存放指令代码

DS：数据段寄存器

ES：附加段寄存器，数据段和附加段用来存放操作数

SS：堆栈段寄存器，堆栈段用于存放返回地址，保存寄存器内容，传递参数

4）指令指针（IP）

16 位指令指针寄存器，其内容为下一条要执行的指令的偏移地址。

5）标志寄存器

（1）状态标志：

进位标志位（CF）：运算结果的最高位有进位或有借位，则 CF=1

辅助进位标志位（AF）：运算结果的低四位有进位或借位，则 AF=1

溢出标志位（OF）：运算结果有溢出，则 OF=1

零标志位（ZF）：反映指令的执行是否产生一个为零的结果

符号标志位（SF）：指出该指令的执行是否产生一个负的结果

奇偶标志位（PF）：表示指令运算结果的低 8 位“1”个数是否为偶数

（2）控制标志位

中断允许标志位（IF）：表示 CPU 是否能够响应外部可屏蔽中断请求

跟踪标志（TF）：CPU 单步执行

5、8086 的引脚及其功能（重点掌握以下引脚）

AD_{15}~AD0：双向三态的地址总线，输入/输出信号

INTR：可屏蔽中断请求输入信号，高电平有效。可通过设置 IF 的值来控制。

NMI：非屏蔽中断输入信号。不能用软件进行屏蔽。

RESET：复位输入信号，高电平有效。复位的初始状态见 P21

MN/MX：最小最大模式输入控制信号。

第三章 8086CPU 指令系统

考点：本章是考试必考点，要熟练运用 8086 的指令，去年考试是给你小段程序，让你写出输出结果，一定要注意。

3.1 8086 寻址方式

一、数据寻址方式

1、立即寻址

操作数(为一常数)直接由指令给出

(此操作数称为立即数)

立即寻址只能用于源操作数

例：

MOV AX, 1C8FH

MOV BYTE PTR[2A00H], 8FH

错误例：

× *MOV 2A00H,AX；错误！*

指令操作例：MOV AX，3102H; AX➔3102H

执行后，(AH) = 31H，(AL) = 02H

2、寄存器寻址

（1）操作数放在某个寄存器中

（2）源操作数与目的操作数字长要相同

（3）寄存器寻址与段地址无关

例：

MOV AX, BX

MOV [3F00H], AX

MOV CL, AL

错误例：

× MOV AX,BL ；字长不同

× MOV ES:AX,DX ；寄存器与段无关

3、直接寻址

（1）指令中直接给出操作数的 16 位偏移地址 偏移地址也称为有效地址(EA, Effective Address)

（2）默认的段寄存器为 DS，但也可以显式地指定其他段寄存器——称为段超越前缀

（3）偏移地址也可用符号地址来表示，如 ADDR、VAR

例：

```
MOV     AX ,[2A00H]
MOV     DX ,ES:[2A00H]
MOV     SI,TABLE_PTR
```

4、间接寻址

操作数的偏移地址(有效地址 EA)放在寄存器中

只有 SI、DI、BX 和 BP 可作间址寄存器

例： MOV AX,[BX]

MOV CL,CS:[DI]

错误例 ：× MOV AX, [DX]

× MOV CL, [AX]

5、寄存器相对寻址

EA=间址寄存器的内容加上一个 8/16 位的位移量

例： MOV AX, [BX+8]

MOV CX, TABLE[SI]

MOV AX, [BP]; 默认段寄存器为 SS

指令操作例：MOV AX，DATA[BX]

若(DS)=6000H, (BX)=1000H, DATA=2A00H,

(63A00H)=66H, (63A01H)=55H

则物理地址 = 60000H + 1000H + 2A00H = 63A00H

指令执行后：（AX）=5566H

6、基址变址寻址

若操作数的偏移地址：

由基址寄存器(BX 或 BP)给出 —— 基址寻址方式

由变址寄存器(SI 或 DI)给出 —— 变址寻址方式

由一个基址寄存器的内容和一个变址寄存器的内容相加而形成操作数的偏移地址，称为基址-变址寻址。

EA=（BX）+（SI）或（DI）;

EA=（BP）+（SI）或（DI）

同一组内的寄存器不能同时出现。

注意：除了有段跨越前缀的情况外，当基址寄存器为 BX 时，操作数应该存放在数据段 DS 中，当基址寄存器为 BP 时，操作数应放在堆栈段 SS 中。例：

MOV AX, [BX] [SI]

MOV AX, [BX+SI]

MOV AX, DS: [BP] [DI]

错误例：

× MOV AX, [BX] [BP]

× MOV AX, [DI] [SI]

指令操作例：MOV AX，[BX][SI]

假定：(DS)=8000H, (BX)=2000H, SI=1000H

则物理地址 = 80000H + 2000H + 1000H = 83000H

指令执行后: (AL)=[83000H]

(AH)=[83001H]

7、相对基址变址寻址

在基址-变址寻址的基础上再加上一个相对位移量

EA=（BX）+（SI）或（DI）+8 位或 16 位位移量;

EA=（BP）+（SI）或（DI）+8 位或 16 位位移量

指令操作例：MOV AX，DATA[DI][BX]

若(DS)=8000H, (BX)=2000H, (DI)=1000H, DATA=200H

则指令执行后(AH)=[83021H], (AL)=[83020H]

寄存器间接、寄存器相对、基址变址、相对基址变址四种寻址方式的比较：

寻址方式	指令操作数形式
寄存器间接	只有一个寄存器（BX/BP/SI/DI 之一）
寄存器相对	一个寄存器加上位移量
基址—变址	两个不同类别的寄存器
相对基址-变址	两个不同类别的寄存器加上位移量

二、地址寻址方式（了解有 4 类，能判断）

简要判断依据（指令中间的单词）：

段内直接 short,near

段内间接 word

段间直接 far

段间间接 dword

3.2 8086 指令系统

一、数据传送指令

1、通用传送指令

(1) MOV dest，src； dest←src

传送的是字节还是字取决于指令中涉及的寄存器是 8 位还是 16 位。

具体来说可实现：

① MOV mem/reg1，mem/reg2

指令中两操作数中至少有一个为寄存器

② MOV reg，data ;立即数送寄存器

③ MOV mem，data ;立即数送存储单元

④ MOV acc，mem ;存储单元送累加器

⑤ MOV mem，acc ;累加器送存储单元

⑥ MOV segreg，mem/reg ;存储单元/寄存器送段寄存器

⑦ MOV mem/reg，segreg ;段寄存器送存储单元/寄存器

MOV 指令的使用规则

①IP 不能作目的寄存器

②不允许 mem←mem

③不允许 segreg←segreg

④立即数不允许作为目的操作数

⑤不允许 segreg←立即数

⑥源操作数与目的操作数类型要一致

⑦当源操作数为单字节的立即数，而目的操作数为间址、变址、基址+变址的内存数时，必须用 PTR 说明数据类型。如：MOV [BX]，12H 是错误的。

（2）堆栈指令

什么是堆栈？

按“后进先出(LIFO)”方式工作的存储区域。堆栈以**字**为单位进行压入弹出操作。

规定由 SS 指示堆栈段的段基址，堆栈指针 SP 始终指向堆栈的顶部，SP 的初值规定了所用堆栈区的大小。堆栈的最高地址叫栈底。

① 压栈指令 PUSH

PUSH src ; src 为 16 位操作数

例：PUSH AX ；将 AX 内容压栈

执行操作：（SP）-1←高字节 AH

（SP）-2←低字节 AL

(SP)←（SP）- 2

注意进栈方向是高地址向低地址发展。`

② 弹出指令 POP

POP dest

例：POP BX ；将栈顶内容弹至 BX

执行操作：（BL）←（SP）

（BH）←（SP）+1

（SP）←（SP）+2

堆栈指令在使用时需注意的几点：

① 堆栈操作总是按字进行

② 不能从栈顶弹出一个字给 CS

③ 堆栈指针为 SS:SP，SP 永远指向栈顶

④SP 自动进行增减量（-2，+2）

（3）、交换指令 XCHG

格式：XCHG reg，mem/reg

功能：交换两操作数的内容。

要求：两操作数中必须有一个在寄存器中；

操作数不能为段寄存器和立即数；

源和目地操作数类型要一致。

举例： XCHG AX，BX

XCHG [2000]，CL

（4）查表指令 XLAT

执行的操作：AL←[(BX)+(AL)]

又叫查表转换指令，它可根据表项序号查出表中对应代码的内容。执行时先将表的首地址（偏移地址）送到 BX 中，表项序号存于 AL 中。

2、输入输出指令

只限于用累加器 AL 或 AX 来传送信息。

研习社24西电9021/9024考研复试t4vizuddk
西电通院电院智能院考研群：702628797

功能: (累加器)←→I/O 端口

（1） 输入指令 IN

格式:

IN acc,PORT ;PORT 端口号 0～255H

IN acc,DX ;DX 表示的端口范围达 64K

例:IN AL，80H ;(AL)←(80H 端口)

IN AL，DX ;(AL)←((DX))

(2) 输出指令 OUT

格式：OUT port,acc

OUT DX,acc

例：OUT 68H，AX ;(69H，68H)←（AX）

OUT DX，AL ;((DX))←(AL)

在使用间接寻址的 IN/OUT 指令时，要事先用传送指令把 I/O 端口号设置到 DX 寄存器

如：

MOV DX，220H

IN AL，DX;将 220H 端口内容读入 AL

3、目标地址传送指令

（1） LEA

传送偏移地址

格式：LEA reg，mem ；将指定内存单元的偏移地址送到指定寄存器

要求：

1) 源操作数必须是一个存储器操作数;

2) 目的操作数必须是一个 16 位的通用寄存器。

例：LEA BX，[SI+10H]

设：（SI）=1000H

则执行该指令后，（BX）=1010H

注意以下二条指令差别：

LEA BX，BUFFER

MOV BX，BUFFER

前者表示将符号地址为 BUFFER 的存储单元的偏移地址取到 BX 中;后者表示将 BUFFER 存储单元中的内容取到 BX 中。

下面两条指令等效：

LEA BX，BUFFER

MOV BX, OFFSET BUFFER

其中 OFFSET BUFFER 表示存储器单元 BUFFER 的偏移地址。

二者都可用于取存储器单元的偏移地址，但 LEA 指令可以取动态的地址，OFFSET 只能取静态的地址。

二、算术运算指令

1、加法指令

(1) 不带进位的加法指令 ADD

格式： ADD acc,data

ADD mem/reg,data

ADD mem/reg1,mem/reg2

实例：

ADD AL，30H

ADD SI，[BX+20H]

ADD CX，SI

ADD [DI]，200H

•ADD 指令对 6 个状态标志均产生影响。

例：已知(BX)=D75FH

指令 ADD BX,8046H 执行后，状态标志各是多少？

D75FH = 1110 0111 0101 1111

8046H = 1000 0000 0100 0110

1 1 11 11

0110 0111 1010 0101

结果：C=1, Z=0, P=0, A=1, O=1, S=0

判断溢出与进位

从硬件的角度：默认参与运算的操作数都是有符号数，当两数的符号位相同，而和的结果相异时有溢出，则 OF=1，否则 OF=0

（2） 带进位的加法 ADC

ADC 指令在形式上和功能上与 ADD 类似，只是相加时还要包括进位标志 CF 的内容，例如：

ADC AL，68H ； AL←(AL)+68H+(CF)

ADC AX，CX ;AX←(AX)+(CX)+(CF)

ADC BX，[DI] ;BX←(BX)+[DI+1][DI]+(CF)

（3）加 1 指令 INC

格式：INC reg/mem

功能：类似于 C 语言中的++操作：对指定的操作数加 1

例： INC AL

INC SI

INC BYTE PTR[BX+4]

注：本指令不影响 CF 标志。

（4）非压缩 BCD 码加法调整指令 AAA

AAA 指令的操作：

如果 AL 的低 4 位＞9 或 AF=1，则：

① AL←(AL)+6,(AH)←(AH)+1,AF←1

② AL 高 4 位清零

③ CF←AF

否则 AL 高 4 位清零

（5）压缩 BCD 码加法调整指令 DAA

两个压缩 BCD 码相加结果在 AL 中，通过 DAA 调整得到一个正确的压缩 BCD 码.

指令操作(调整方法)：

若 AL 的低 4 位＞9 或 AF=1

则(AL)←(AL)+6，AF←1

若 AL 的高 4 位＞9 或 CF=1

则(AL)←(AL)+60H，CF←1

除 OF 外，DAA 指令影响所有其它标志。

DAA 指令应紧跟在 ADD 或 ADC 指令之后。

2、减法指令

（1）不考虑借位的减法指令 SUB

格式： SUB dest, src

操作： dest←(dest)-(src)

注：1.源和目的操作数不能同时为存储器操作数

2.立即数不能作为目的操作数

指令例子：

SUB AL，60H

SUB [BX+20H]，DX

SUB AX，CX

（2）考虑借位的减法指令 SBB

SBB 指令主要用于多字节的减法。

格式： SBB dest, src

操作： dest←(dest)-(src)-(CF)

指令例子：

SBB AX，CX

SBB WORD PTR[SI]，2080H

SBB [SI],DX

（3）减 1 指令 DEC

作用类似于 C 语言中的”——”操作符。

格式：DEC opr

操作：opr←(opr)-1

指令例子：

DEC CL

DEC BYTE PTR[DI+2]

DEC SI

（4）求补指令 NEG

格式： NEG opr

操作： opr← 0-(opr)

对一个操作数取补码相当于用 0 减去此操作数，故利用 NEG 指令可得到负数的绝对值。

例：若(AL)=0FCH，则执行 NEG AL 后，

(AL)=04H，CF=1

（5）比较指令 CMP

格式： CMP dest, src

操作： (dest)-(src)

CMP 也是执行两个操作数相减,但结果不送目标操作数,其结果只反映在标志位上。

指令例子：

CMP AL，0AH

CMP CX，SI

CMP DI，[BX+03]

（6）非压缩 BCD 码减法调整指令 AAS

对 AL 中由两个非压缩的 BCD 码相减的结果进行调整。调整操作为：

若 AL 的低 4 位＞9 或 AF=1,则：

① AL←(AL)-6,AH←(AH)-1,AF←1

② AL 的高 4 位清零

③ CF←AF

否则：AL 的高 4 位清零

（7）压缩 BCD 码减法调整指令 DAS

对 AL 中由两个压缩 BCD 码相减的结果进行调整。调整操作为：

若 AL 的低 4 位＞9 或 AF=1,则：

AL←(AL)-6, 且 AF←1

若 AL 的高 4 位＞9 或 CF=1,则：

AL←(AL)-60H，且 CF←1

DAS 对 OF 无定义,但影响其余标志位。

DAS 指令要求跟在减法指令之后。

3、乘法指令

进行乘法时：8 位*8 位→16 位乘积

16 位*16 位→32 位乘积

(1) 无符号数的乘法指令 MUL(MEM/REG)

格式： MUL src

操作：字节操作数 (AX)←(AL) × (src)

字操作数 (DX, AX)←(AX) × (src)

指令例子：

```
MUL   BL    ；(AL)×(BL),乘积在 AX 中
MUL   CX    ；(AX)×(CX),乘积在 DX,AX 中
MUL   BYTE PTR[BX]
```

（2）有符号数乘法指令 IMUL

格式与 MUL 指令类似，只是要求两操作数均为**有符号数**。

指令例子：

```
IMUL   BL    ；(AX)←(AL)×(BL)
IMUL   WORD PTR[SI]；
(DX,AX)←(AX)×([SI+1][SI])
```

注意：MUL/IMUL 指令中

- AL(AX)为隐含的乘数寄存器；
- AX(DX,AX)为隐含的乘积寄存器；
- SRC 不能为立即数；
- 除 CF 和 OF 外，对其它标志位无定义。

4、除法指令

进行除法时：16 位/8 位→8 位商

32 位/16 位→16 位商

对被除数、商及余数存放有如下规定：

	被除数	商	余数
字节除法	AX	AL	AH
字除法	DX:AX	AX	DX

（1）无符号数除法指令 DIV

格式： DIV src

操作：字节操作 (AL)←(AX) / (SRC) 的商

(AH)←(AX) / (SRC) 的余数

字操作 (AX) ←(DX, AX) / (SRC) 的商

(DX) ←(DX, AX) / (SRC) 的余数

指令例子：

DIV CL

DIV WORD PTR[BX]

（2）有符号数除法指令 IDIV

格式： IDIV src

操作与 DIV 类似。商及余数均为有符号数,且余数符号总是与被除数符号相同。

注意：对于 DIV/IDIV 指令

AX(DX,AX)为隐含的被除数寄存器。

AL(AX)为隐含的商寄存器。

AH(DX)为隐含的余数寄存器。

src 不能为立即数。

对所有条件标志位均无定

关于除法操作中的字长扩展问题

•除法运算要求被除数字长是除数字长的两倍,若不满足则需**对被除数进行扩展**,否则产生错误。

•对于无符号数除法扩展，只需将 AH 或 DX 清零即可。

•对有符号数而言,则是符号位的扩展。可使用前面介绍过的符号扩展指令 CBW 和 CWD

三、逻辑运算和移位指令

1、逻辑运算指令

（1）逻辑与 AND

对两个操作数进行按位逻辑“与”操作。

格式：AND dest, src

用途：保留操作数的某几位，清零其他位。

例 1：保留 AL 中低 4 位，高 4 位清 0。

```
AND AL,0FH
```

（2）逻辑或 OR

对两个操作数进行按位逻辑”或”操作。

格式：OR dest, src

用途：对操作数的某几位置 1；对两操作数进行组合。

例 1：把 AL 中的非压缩 BCD 码变成相应十进制数的 ASCII 码。

```
OR AL, 30H
```

（3）逻辑非 NOT

对操作数进行按位逻辑”非”操作。格式：NOT mem/reg

例：NOT CX

NOT BYTE PTR[DI]

（4）逻辑异或 XOR

对两个操作数按位进行”异或”操作。

格式：XOR dest, src

用途：对 reg 清零(自身异或)

把 reg/mem 的某几位变反(与’1’异或)

例 1：把 AX 寄存器清零。

①MOV AX,0

②XOR AX,AX

③AND AX,0

④SUB AX,AX

（5）测试指令 TEST

操作与 AND 指令类似,但不将”与”的结果送回,只影响标志位。

TEST 指令常用于位测试,与条件转移指令一起用。

例：测试 AL 的内容是否为负数。

```
TEST  AL,80H   ；检查 AL 中 D7=1？
JNZ   MINUS    ；是 1(负数)，转 MINUS
… …            ；否则为正数
```

2、移位指令

(1)非循环移位指令

算术左移指令 **SAL(Shift Arithmetic Left)**

算术右移指令 **SAR(Shift Arithmetic Right)**

逻辑左移指令 **SHL(Shift Left)**

逻辑右移指令 **SHR(Shift Right)**

这 4 条指令的格式相同,以 SAL 为例：

SAL mem/reg { CL ;移位位数大于 1 时
1 ;移位位数等于 1 时

算术移位——把操作数看做有符号数；

逻辑移位——把操作数看做无符号数。

移位位数放在 CL 寄存器中，如果只移 1 位,也可以直接写在指令中。例如：

```
MOV  CL,4
SHR  AL,CL  ；AL 中的内容右移 4 位
```

影响 C,P,S,Z,O 标志。

结果未溢出时：

左移 1 位≡操作数*2

右移 1 位≡操作数/2

例：把 AL 中的数 x 乘 10

因为 $10=8+2=2^3+2^1$，所以可用移位实现乘 10 操作。程序如下：

```
MOV  CL,3
SAL  AL,1      ; 2x
MOV  AH,AL
SAL  AL,1      ; 4x
SAL  AL,1      ; 8x
ADD  AL,AH     ; 8x+2x = 10x
```

四、控制转移指令

1、转移指令

（1）无条件转移指令 JMP

格式：JMP label

本指令无条件转移到指定的目标地址,以执行从该地址开始的程序段。

（2）条件转移指令（补充内容）

① 根据单个标志位设置的条件转移指令

JB/JC ； 低于,或 CF=1,则转移

JNB/JNC/JAE ； 高于或等于,或 CF=0,则转移

JP/JPE ； 奇偶标志 PF=1(偶),则转移

JNP/JPO ； 奇偶标志 PF=0(奇),则转移

JZ/JE ； 结果为零(ZF=1),则转移

JNZ/JNE ； 结果不为零(ZF=0),则转移

JS ； SF=1,则转移

JNS ； SF=0,则转移

JO ； OF=1,则转移

JNO ； OF=0,则转移

②根据组合条件设置的条件转移指令

这类指令主要用来判断两个数的大小。

★判断无符号数的大小

JA 高于则转移

条件为: CF=0∧ZF=0，即 A＞B

JNA/JBE 低于或等于则转移

条件为: CF=1∨ZF=1，即 A≤B

JB A<B 则转移

JNB A≥B 则转移

★判断有符号数的大小

JG ；大于则转移(A＞B)

条件为: (SF⊕OF=0)∧ZF=0

JGE；大于或等于则转移(A≥B)

条件为: (SF⊕OF=0)∨ZF=1 JLE；小于或等于则转移(A≤B)

条件为: (SF⊕OF=1)∨ZF=1

JL；小于则转移(A＜B＝

条件为: (SF⊕OF=1)∧ZF=0

2、循环控制指令

用在循环程序中以确定是否要继续循环。

循环次数通常置于 CX 中。

转移的目标应在距离本指令-128~+127 的范围之内。

循环控制指令不影响标志位。

(1)LOOP

格式：LOOP label

操作：(CX)-1→CX;

若(CX)≠0,则转至 label 处执行；

否则退出循环,执行 LOOP 后面的指令。

LOOP 指令与下面的指令段等价：

DEC CX

JNZ label

3、过程调用指令

（1）调用指令 CALL

一般格式：CALL *sub* ;*sub* 为子程序的入口

研习社24西电9021/9024考研复试t4vizuddk
西电通院电院智能院考研群：702628797

4、中断指令

(1)INT n 执行类型 n 的中断服务程序，N=0～255

五、处理器控制指令

1、标志位操作

（1）CF 设置指令

CLC 0→CF **STC** 1→CF **CMC** CF 变反

（2）DF 设置指令

CLD 0→DF (串操作的指针移动方向从低到高)

STD 1→DF (串操作的指针移动方向从高到低)

（3）IF 设置指令

CLI 0→IF (禁止 INTR 中断) **STI** 1→IF (开放 INTR 中断)

2、HLT（halt）

执行 HLT 指令后，CPU 进入暂停状态。

第四章 8086 汇编语言程序设计

考点：本章主要了解伪指令，和第三章结合起来看，汇编语言程序设计要先熟练第三章的基础语法。

4.1 伪指令

CPU 指令与伪指令之间的区别：

(1)CPU 指令是给 CPU 的命令，在运行时由 CPU 执行，每条指令对应 CPU 的一种特定的操作。而伪指令是给汇编程序的命令，在汇编过程中由汇编程序进行处

理。

(2)汇编以后，每条 CPU 指令产生一一对应的目标代码；而伪指令则不产生与之相应的目标代码。

1、数据定义伪指令

（1）数据定义伪指令的一般格式为：

[变量名] 伪指令 操作数[，操作数…]

DB 用来定义字节（BYTE）

DW 用来定义字（WORD）

DD 用来定义双字（DWORD）

（2）操作数的类型可以是：

①常数或常数表达式

例如： DATA_BYTE DB 10,5,10H

DATA_WORD DW 100H,100,-4

DATA_DW DD 2*30,0FFFBH

②可以为字符串（定义字符串最好使用 DB）

例如：char1 DB ‘AB’

③可以为变量

④可以为？号操作符

例如：X DB 5，？，6

？号只是为了给变量保留相应的存储单元，而不赋予变量某个确定的初值。

⑤重复次数：N DUP（初值[，初值…]）

例如：ZERO DB 2 DUP（3，5）

XYZ DB 2 DUP（0，2 DUP（1，3），5）

⑥在伪操作的操作数字段中若使用$,则表示的是地址计数器的当前值。

2、补充内容：

（1）类型 PTR 地址表达式例如：MOV BYTE PTR [BX]，12H

INC BYTE PTR [BX]

注意：单操作数指令，当操作数为基址、变址、基+变的时候必须定义

3、符号定义伪指令

(1)EQU

格式：名字 EQU 表达式

EQU 伪指令将表达式的值赋予一个名字，以后可用这个名字来代替上述表达式。

例：CONSTANT EQU 100

NEW_PORT EQU PORT_VAL+1

(2) =（等号）

与 EQU 类似,但允许重新定义

例：

```
    ┆
    EMP=7       ；值为 7
    ┆
    EMP=EMP+1   ；值为 8
```

(3)LABEL

LABEL 伪指令的用途是定义标号或变量的类型

格式：名字 LABEL 类型

变量的类型可以是 BYTE，WORD，DWORD。标号的类型可以是 NEAR 或 FAR

4、段定义伪指令

与段有关的伪指令有：

SEGMENT、ENDS、ASSUME、ORG

（1）段定义伪指令的格式如下：

段名 SEGMENT [定位类型] [组合类型] [’类别’]

⋮

段名 ENDS

SEGMENT 和 ENDS

这两个伪指令总是成对出现，二者前面的段名一致。二者之间的删节部分，对数据段、附加段及堆栈段，一般是符号、变量定义等伪指令。对于代码段则是指令及伪指令。此外，还必须明确段和段寄存器的关系，这可由 ASSUME 语句来实现。

（2）ASSUME

格式：

ASSUME 段寄存器名：段名[，段寄存器名：段名[，…]]

ASSUME 伪指令告诉汇编程序，将某一个段寄存器设置为某一个逻辑段址，即明确指出源程序中逻辑段与物理段之间的关系。

（3）ORG

伪指令 ORG 规定了段内的起始地址或偏移地址，其格式为：

ORG <表达式>

表达式的值即为段内的起始地址或偏移地址，从此地址起连续存放程序或数据。

5、汇编程序的一般结构（记住）

```
DATA  SEGMENT
…
DATA ENDS
CODE SEGMENT
ASSUME CS:CODE,DS:DATA
```

```
BGN:   MOV AX ,DATA
       MOV   DS,AX
       ….
       MOV AH,4CH
       INT    21H
CODE ENDS
END BGN
```

4.2 程序设计

1、顺序程序的设计（略）

2、分支程序的设计

典型例题：

$$Y=\begin{cases}1 & X>0\\0 & X=0\\-1 & X<0\end{cases}$$

程序为：

```
MOV   AL ，X
CMP   AL，0
JGE    BIG
MOV   Y，-1
JMP EXIT
BIG：JE EQUL
MOV   Y，1
JMP   EXIT
EQUL：MOV   Y，0
EXIT：….
```

研习社24西电9021/9024考研复试t4vizuddk
西电通院电院智能院考研群：702628797

3、循环程序(略)。

用计数控制循环

第五章 总线及其形成

考点：熟练掌握 8086 CPU 的引脚功能、系统总线结构及系统总线时序。其每一部分又从最小方式系统和最大方式系统两个方面加以讨论，其中最小方式系统是重点，最大方式系统可通过与最小方式系统比较异同来掌握。这部分也是考试的重点，8086 最小方式系统或者最大方式系统往往会和第九章第十章结合起来考。

5.1 总线定义

总线是一组公用导线，是计算机系统的重要组成部分。它是计算机系统中模块（或子系统）之间传输数据、地址和控制信息的公共通道。通过总线，可以实现各部件之间的数据和命令的传输。

总线的分类方法很多，按功能层次可以把总线分成下列四类。

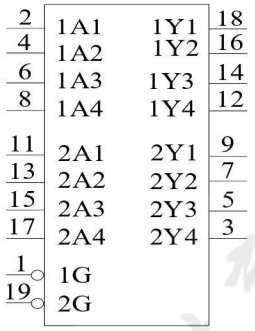
片内总线 元件级总线 系统总线 通信总线

在系统总线形成中，经常要使用芯片：

三态门；双向三态门；带有三态门输出的锁存器

5.2 几种常用芯片

1）74LS244 芯片



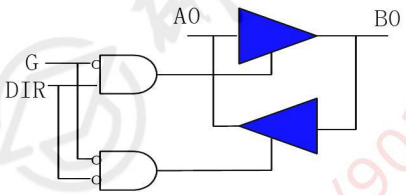
74LS244 逻辑及引脚

$\overline{G}$	A	Y
0	0	0
0	1	1
1	X	三 态

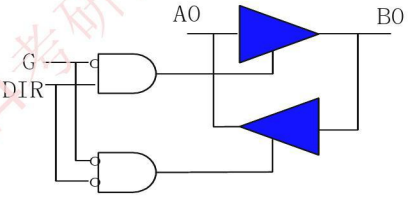
74LS244 功能

功能：在实际应用中可作为地址总线或控制总线的驱动芯片，也可用为输入端口的接口芯片。

2）双向三态门 典型芯片 74LS245



G=0 DIR=1

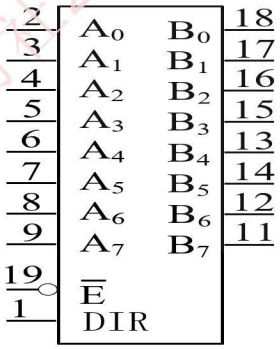


G=0 DIR=0

G＝1 时，A 组和 B 组均为三态

G＝0 时，DIR 控制数据方向

3）74LS245 芯片



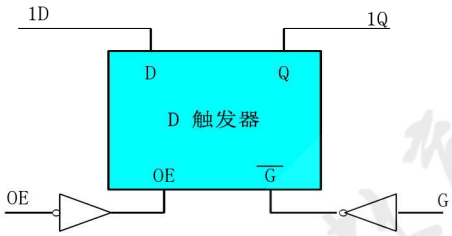
$\overline{E}$	DIR	方 向
0	0	A← B
0	1	A→ B
1	X	A、B 边均为高阻

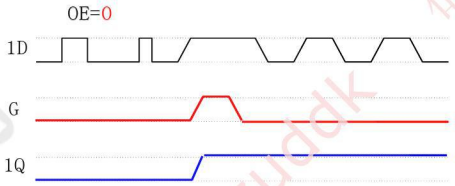
74LS245 逻辑及引脚 74LS245 功能

功能：在实际应用中可作为数据总线双向驱动器、地址总线或控制总线单向驱动以及输入端口的接口芯片。

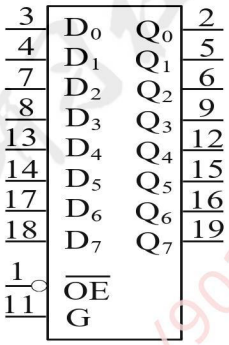
4）带有三态门输出的锁存器

典型芯片 74LS373 时序关系：





5）74LS37 芯片



74LS373 逻辑及引脚

$\overline{OE}$	G	D_i	Q_i
0	1	0	0
0	1	1	1
0	0	X	保持
1	X	X	为高阻

（i= 0 ~ 7）

74LS373 功能

功能：在实际应用中可作为地址总线或控制总线单向驱动锁存以及输出端口的接口芯片。

5.3 8086 的引脚功能与时序

当 MN/MX 引脚接地时，8086 CPU 工作于最大方式。为了满足多处理器系统的需要，又不增加引脚个数，8086 CPU 工作在最大方式时，有 24～31 控制引脚与最小方式时功能不同，而其他引脚与最小方式时功能是相同的。CPU 通过 24～31 控制引脚输出操作状态信息，这些控制引脚各自有独立的意义，外部通过 8288 总线控制器译码方法来产生更多具体的控制信号。这些控制引脚的功能定义如下：

1) QS1 、QS0（输出）

指令队列状态输出线。它们用来提供 8086 内部指令队列的状态。

QS1	QS0	指令队列状态

0	0	无操作，队列中指令未被取出
0	1	从队列中取出当前指令的第一字节
1	0	队列空
1	1	从队列中取出指令的后续字节

2) $\overline{S2}$、$\overline{S1}$、$\overline{S0}$（输出，三态）

状态信号输出线，这 3 位状态的组合表示 CPU 当前总线周期的操作类型。8288 总线控制器接收这 3 位状态信息，产生访问存储器和 I/O 端口的控制信号和对 74LS373、74LS245 的控制信号。下表给出了这 3 个状态信号的编码及由 8288 产生的对应信号。

$\overline{S2}$、$\overline{S1}$、$\overline{S0}$组合规定的状态

$\overline{S1}$ $\overline{S2}$ $\overline{S0}$	操作状态	8288产生的信号
0 0 0	中断响应	$\overline{INTA}$
0 0 1	读I/O端口	$\overline{IORC}$
0 1 0	写I/O端口	$\overline{IOWC}$、$\overline{AIOWC}$
0 1 1	暂停	无
1 0 0	取指令	$\overline{MRDC}$
1 0 1	读存储器	$\overline{MRDC}$
1 1 0	写存储器	$\overline{MWTC}$、$\overline{AMWC}$
1 1 1	保留	无

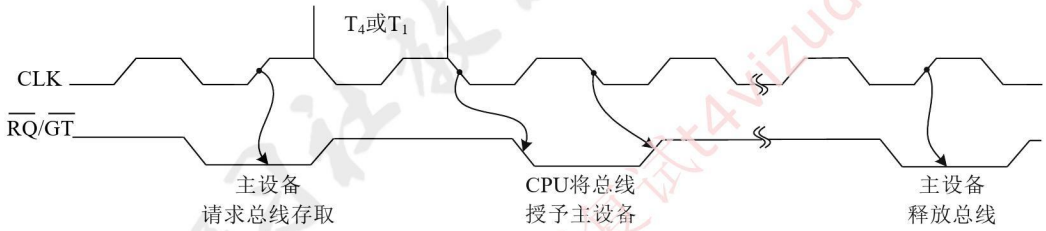
3）$\overline{lock}$（输出，三态）

总线锁定信号，低电平有效。CPU 输出此信号表示不允许总线上的主控设备占用总线。该信号由指令前缀 LOCK 使其有效，并维持到下一条指令执行完毕为止。此外，CPU 的 INTR 引脚上的中断请求也会使$\overline{lock}$引脚从第一个$\overline{INTA}$脉冲开始直至第二个$\overline{INTA}$脉冲结束保持低电平。这样就保证在中断响应周期之后，其他主控设备才能占用总线。

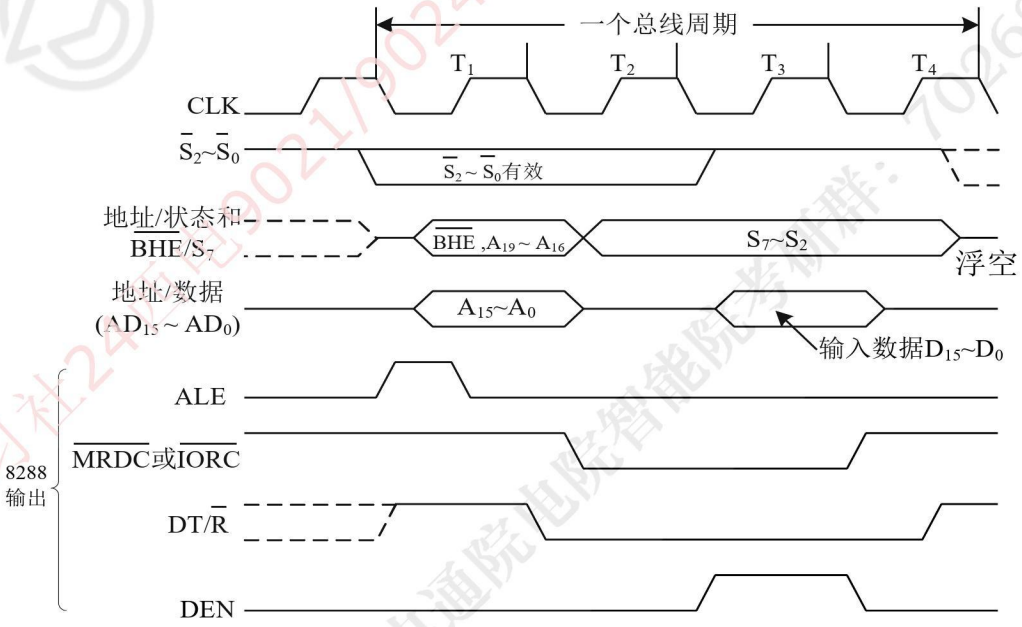
4）$\overline{RQ}/\overline{GT1}$和$\overline{RQ}/\overline{GT0}$ (输入/输出)

这两条引脚都是双向的，低电平有效，用于输入总线请求信号和输出总线授权信号。$\overline{RQ}/\overline{GT1}$优先级高于$\overline{RQ}/\overline{GT2}$ ，这两根引脚主要用于不同处理器之间连接控制用。

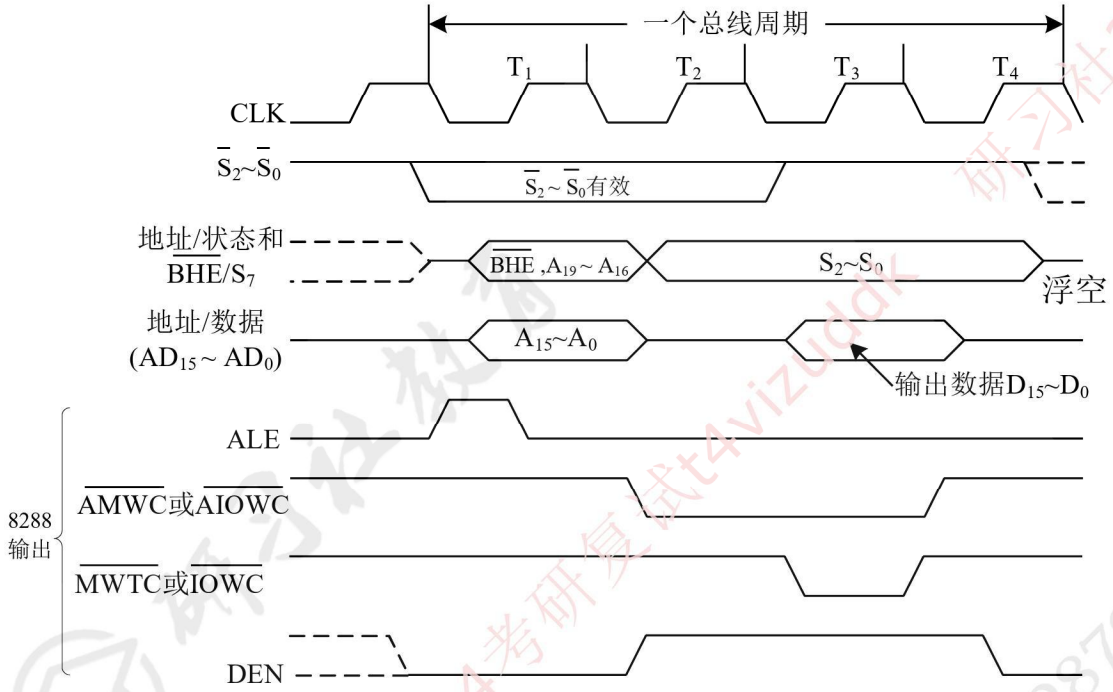
8086 最大方式时总线请求和总线授予时序如下图所示：



8086 最大方式时总线请求和总线授予时序

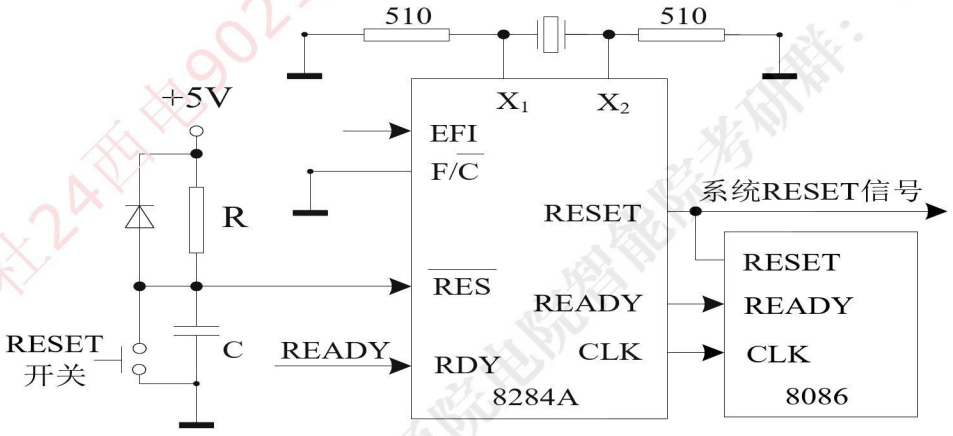


8086 最大方式系统总线读时序



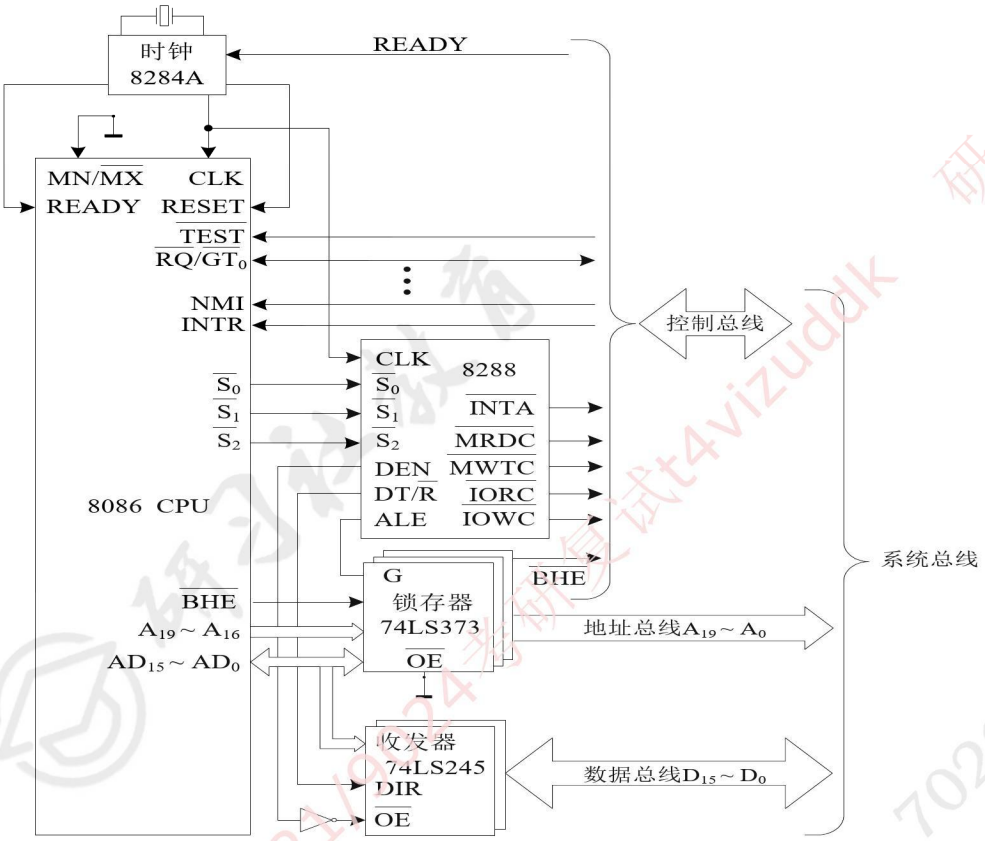
8086 最大方式系统总线写时序

典型的 8284A 时钟电路的连接图如下：



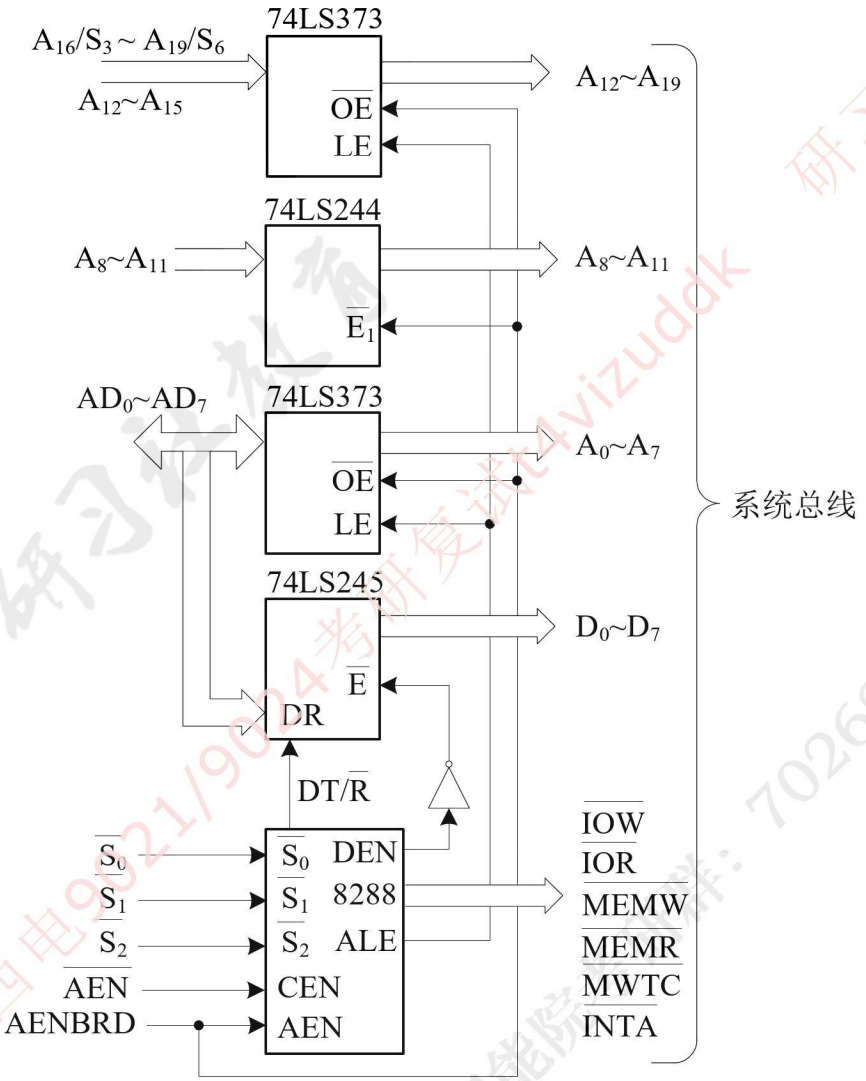
5.4 系统总线的形成

最大方式系统总线结构：



IBM PC/XT 系统总线形成电路：

研习社24西电9021/9024考研复试t4vizudUK
西电通院电院智能院考研群：702628797



5.5 8088 与 8086 的差异

Intel 8086/8088 CPU 属第三代微处理器，均有 20 条地址线，直接寻址能力达 1MB，但 8088 与 8086 之间也有一些不同之处，具体表现为：

1) 在 CPU 内部，8086 CPU 的指令队列寄存器由 6 字节组成，而 8088 CPU 的指令队列寄存器由 4 字节组成。

2) 在 CPU 外部，8088 与 8086 的差异表现为： 8086 CPU 中的 AD15~AD8 在 8088 中为单一的地址总线 A15~A8（输出，三态），只用于输出地址。在最小方式下，8088 中的引脚与 8086 的相对应，但信号极性与 8086 相

反。 8086 中的引脚在 8088 中为（输出）。

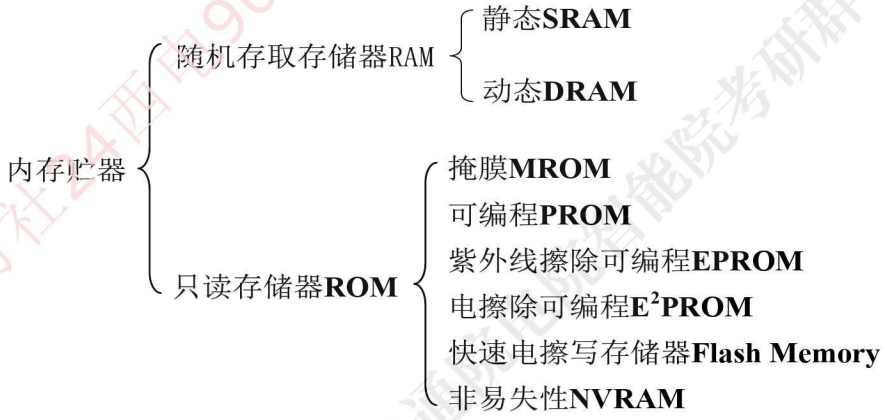
第六章 存储器设计

考点：本章要求在了解半导体存储器分类及技术指标的基础上，掌握存储器芯片的最小读出时间与最小写入时间的计算，着重掌握微机或微机应用系统内存储器系统的构成及与 CPU 的连接方法。在内存储器系统的构成及与 CPU 的连接中，重点掌握存储器的位扩展和字节扩展，存储器的地址译码方法及译码电路，总线负载的计算和总线驱动与控制方法。

6.1.存储器分类及主要技术指标

存储器系统由外存储器和内存储器两部分组成。

内存储器的分类如下：

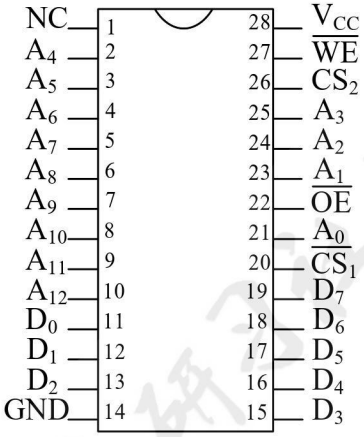


存储器主要技术指标：

1、存储容量 2、读写速度 3、非易失性 4、可靠性

6.2 几种常用存储器芯片介绍

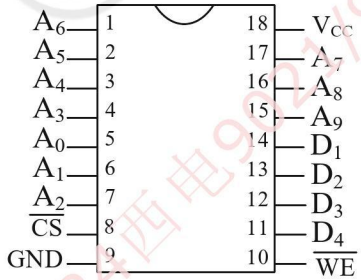
1、 SRAM 芯片 Intel 6264



$\overline{CS_1}$	CS_2	$\overline{WE}$	$\overline{OE}$	数据引脚
H	×	×	×	高阻
×	L	×	×	高阻
L	H	H	L	输出
L	H	L	H	输入
L	H	H	H	高阻

Intel 6264 引脚排列及功能

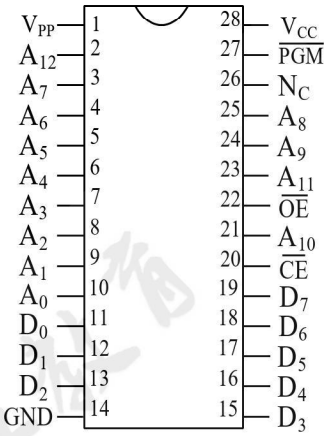
2、 SRAM 芯片 Intel 2114



$\overline{CS}$	$\overline{WE}$	D1~D4
0	0	写入数据
0	1	读出数据
1	X	高阻

Intel 2114 引脚排列及功能

3. EPROM 芯片 Intel 2764



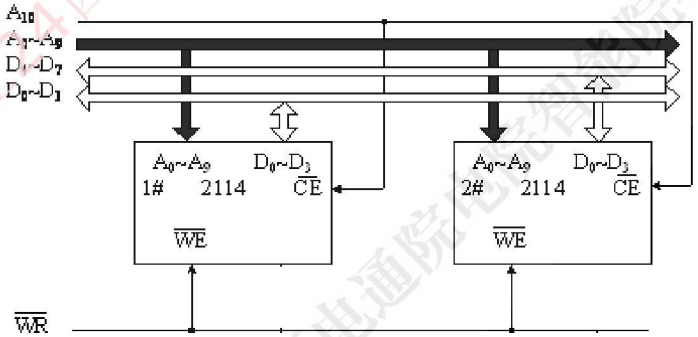
2764 的引脚安排

6.3 扩展存储器设计

1、位扩展

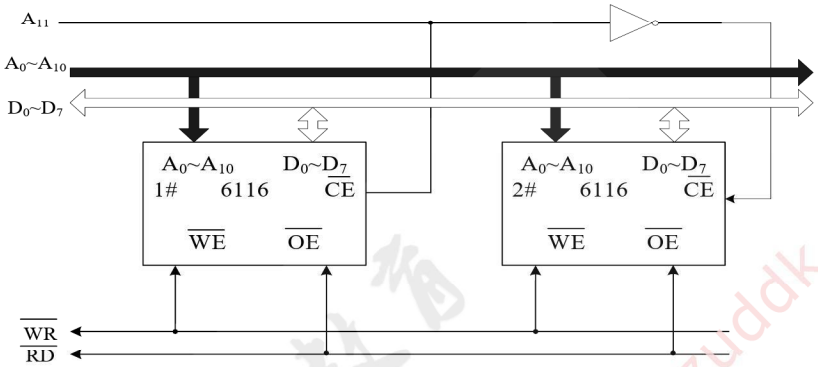
在微机系统中，存储器是按字节来构成的，而所选择的存储器芯片的字长不足 8 位时，用这样的存储器芯片构成系统所需的存储器子系统电路，就必须进行位扩展，即用几片存储器芯片并起来，以增加存储字长。

1）位扩展设计实例



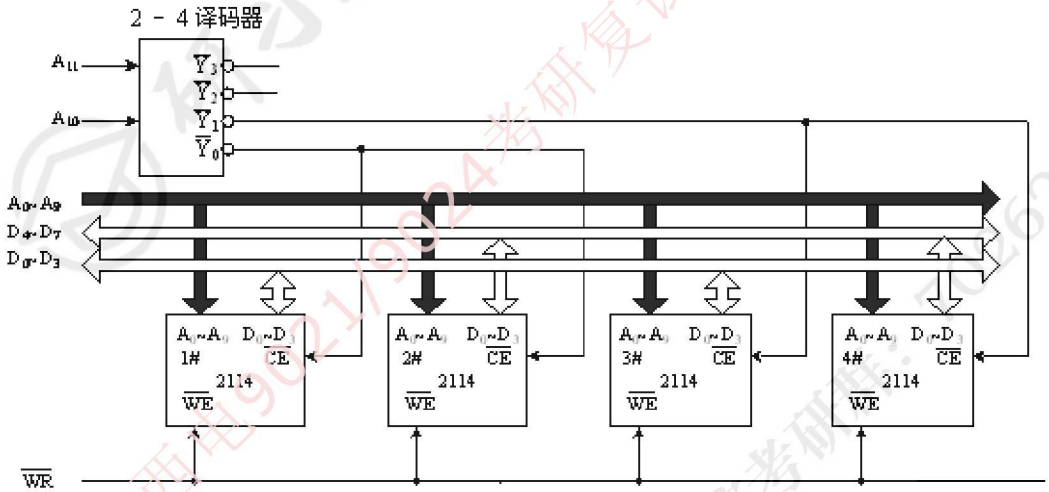
2）字节扩展

字节扩展是指增加存储器字节的数量（容量）。例如，用 2 片 2k×8b 的 SRAM 芯片 6116，组成 4k×8b 的存储器，字节扩展设计如下图所示。



3）字节和位扩展

字节和位扩展是字节扩展和位扩展的组合。



2、存储器地址译码

一个存储体通常由多个存储器芯片组成，CPU 要实现对存储单元的访问，首选要选择存储器芯片，然后再从选中的芯片中依照地址码选择相应的存储单元读/写数据。

通常，芯片内部存储单元的地址由 CPU 输出的 n(n 由片内存储容量 2n 决定)条低位地址线完成选择，即 CPU 输出的低位地址码用作片内寻址，来选择片内具体的存储单元；而芯片的片选信号则是通过 CPU 的高位地址线译码得到，作片外寻址，以选择该芯片的所有存储单元在整个存储地址空间中的具体位置。存储器地址译码方法通常有三种：

⑴全地址译码方式。

除直接与存储器芯片相连的地址线外，所有剩余的高位地址线都被连接到地址译码器，参加地址译码，其译码输出作为存储器芯片的片选信号。

优点：每一个存储单元只对应内存空间的一个地址，即抵制无重叠。

缺点：译码电路复杂，费硬件。

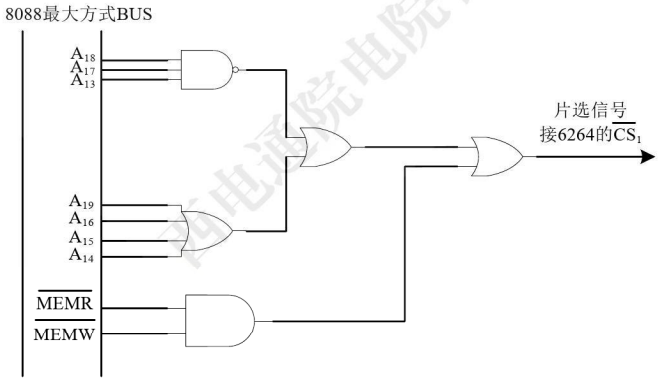
例 6．1 在 8088 CPU 工作在最大方式组成的微机应用系统中，扩充设计 8kB 的 SRAM 电路，SRAM 芯片用 Intel 6264。若分配给该 SRAM 的起始地址为 62000H，片选信号（CS1）为低电平有效。请用全地址译码方法设计该 SRAM 存储器的片选信号形成电路。

解：因为 Intel 6264 的片容量为 8k×8b(8kB)，因此只需要 1 片 Intel 6264 存储器芯片，即既不需要位扩展，也不需要字节扩展。

由于 Intel 6264 片内地址线有 13 根，所以 8088 CPU 系统地址总线的低 13 位 A12～A0 直接与 Intel 6264 的片内地址引脚 A12～A0 相连接，作片内寻址，来选择片内具体的存储单元。

由于采用全地址译码，所以 8088 CPU 系统地址总线的高 7 位 A19～A13 全部参加译码，其译码输出作为存储器芯片的片选信号。当有效时，对应的存储器地址范围为 62000H～63FFFH 连续的 8kB 存储区域。

根据以上设计原则设计的 SRAM 存储器的片选信号（CS1）形成电路如下图所示。



全地址译码方法设计的 SRAM 存储器的片选信号形成电路

⑵ 部分地址译码方式。

部分地址译码方式也称为局部地址译码方式。其方法是某些高位地址线被省略而不参加地址译码。简化了地址译码电路，但地址空间有重叠。

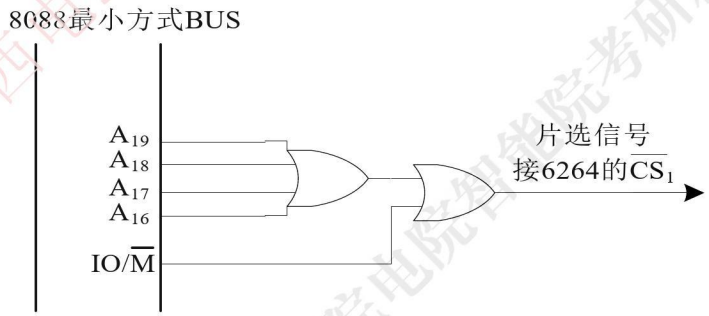
优点：简化了地址译码电路，省硬件。

缺点：地址空间有重叠，浪费了地址空间。

例 6.2 在 8088CPU 工作在最小方式组成的微机应用系统中，扩充设计 8kB 的 SRAM 电路，SRAM 芯片用 Intel 6264。若分配给该 SRAM 的地址范围 00000H～0FFFFH，片选信号（CS1）为低电平有效。请用部分地址译码方法设计该 SRAM 存储器的片选信号形成电路。

解：因为 Intel 6264 的片容量为 8k×8b(8kB)，因此只需要 1 片 Intel 6264 存储器芯片。而题目给出的地址范围为 00000H～0FFFFH，共 64kB，说明有 8 个地址重叠区，即采用部分地址译码时，有 3 条高位地址线（A15、A14 和 A13）不参加译码。

由于 8088CPU 工作在最小方式，所以，IO/M =0 要参加译码。片选信号形成电路如下图所示。



部分地址译码方法设计的 SRAM 存储器的片选信号形成电路

⑶ 线选译码方式。

线选法是指用存储器芯片片内寻址以外的系统的高位地址线中的某一条，作为存储器芯片的片选控制信号。

优点：选择芯片不需要外加逻辑电路，译码线路简单。

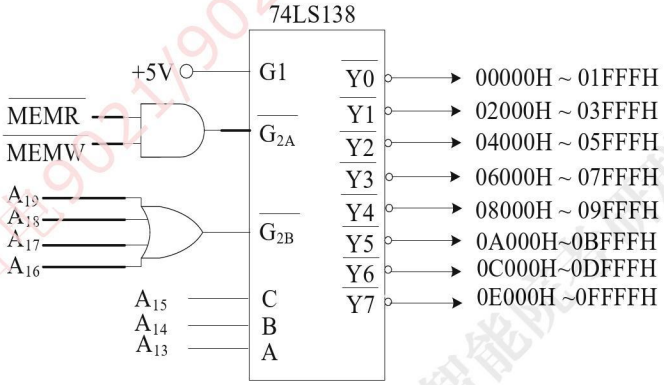
缺点：地址重叠区域多，不能充分利用系统的存储器空间 。

3、存储器地址译码电路

存储器的地址译码电路形式很多，概括为：组合电路（门电路）形式。专用译码器形式，如 3-8 译码器 74LS138。数字比较器形式。EPROM 形式。GAL、CPLD/FPGA 形式。

例 6.3 在某 8088 微处理器系统中，需要用 8 片 6264 构成一个 64kB 的存储器。其地址分配在 00000H~0FFFFH 内存空间，地址译码采用全译码方式，用 74LS138 作译码器，请画出存储器译码电路。

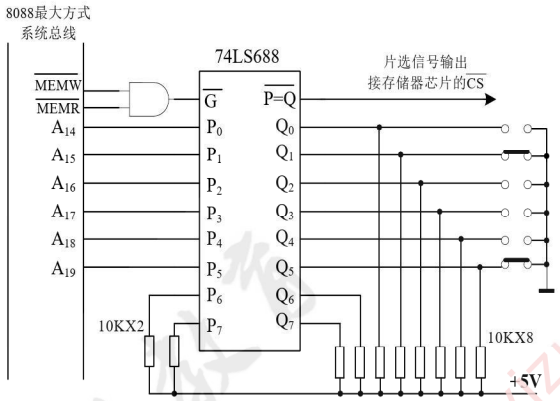
解： 根据题目已知条件和 74LS138 译码器的功能，设计的存储器译码电路如下图所示。图中 74LS138 的每一个输出端均与一块 6264 芯片的片选端相连，8 个输出端分别选通 1 个 8kB 的存储空间（即 1 个 6264 模块），共占有 64kB 内存空间。



用 74LS138 作译码器的存储器译码电路

例 6.4 利用 74LS688 设计译码电路，输出端作为 Intel 62128 SRAM 的片选信号，分配给 Intel 62128 的地址范围为 74000H~77FFFH。画出 8088 CPU 工作在最大方式下的译码电路。

解：由于 Intel 62128 为 16kB SRAM，片内寻址的地址引脚为 14 条，故片外寻址用于参加译码的地址线为 A19~A14 共 6 根。



用 74LS688 作译码器的译码电路

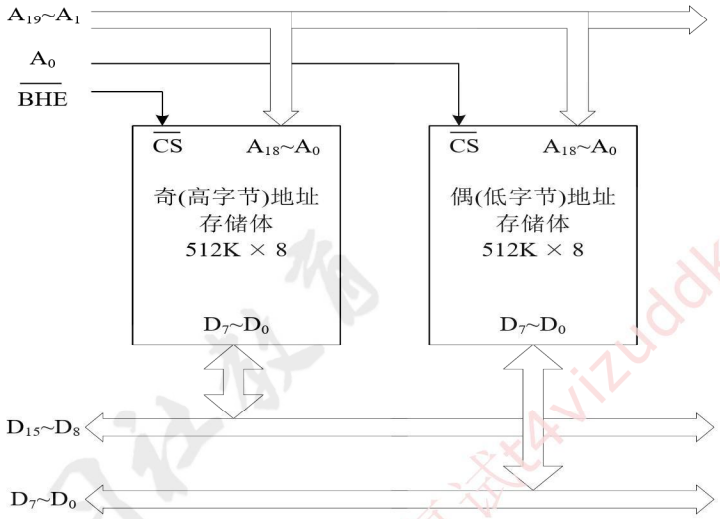
4、扩展存储器接口电路设计

8088 系统中存储器的组成

8088 CPU 的地址总线有 20 条，它的存储器是以字节为存储单元组成的，每个字节对应一个唯一的地址码，所以具有 1MB(1048576B)的寻址能力。但 8088 CPU 只有 8 条数据线，是准 16 位微处理器，所以存储器的组成与一般 8 位微机系统中存储器接口电路的设计方法是相同的。

5、8086 系统中存储器的组成

8086 CPU 同 8088 CPU 一样，也有 20 条地址总线，其寻址能力达 1MB。不同之处是 8086 CPU 数据总线是 16 位的，与 8086 CPU 对应的 1MB 存储空间可为两个 512kB(524 288 B)的存储体。其中一个存储体由奇地址的存储单元(高字节)组成，另一个存储体由偶地址的存储单元(低字节)组成。前者称为奇地址的存储体，后者称为偶地址的存储体，如下图所示。

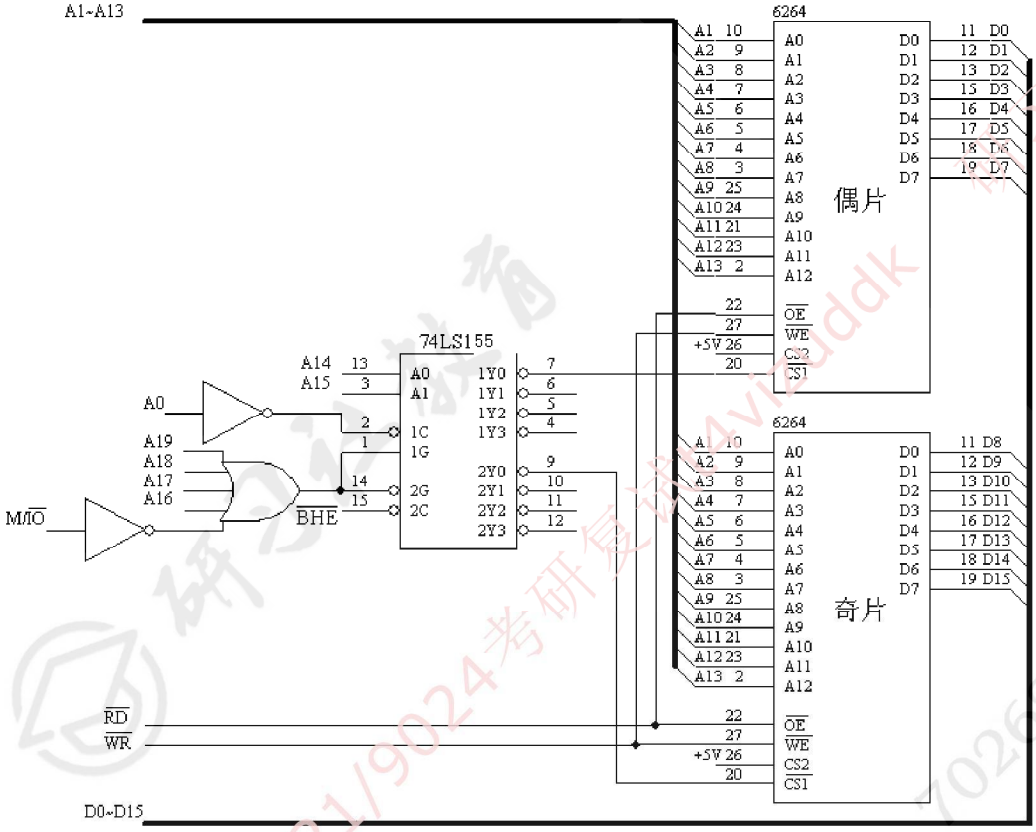


例 6.6 在 8086 最小方式系统中，利用 2 片 Intel 6264 构成连续的 RAM 存储区域，起始地址为 00000H，求可用的最高 RAM 地址，并利用 74LS155 设计译码电路，画出此 RAM 电路与 8086 最小方式系统的连接图。

解：Intel 6264 的存储容量为 8k×8，因此由 2 片 Intel 6264 构成连续的 RAM 存储区域的总容量为 2×8kB＝16 kB=04000H，其可用的最高 RAM 地址为：00000H＋04000H－1=03FFFH

由于 8086 系统有 16 位数据总线，因此应将存储器模块分成两组：奇片和偶片，然后通过译码电路产生片选信号。

研习社24西电9021/9024考研复试4vizuddk
西电通院电院智能院考研群：102628797



RAM 电路与 8086 最小方式系统的连接

研习社24西电9021/9024考研复试辅导群：702628797
西电通院电院智能院考研群

第七章 常用芯片的接口技术

考点：外设接口的编址方式 、输入/输出的基本方式及基本模式、常用芯片的接口技术

7.1 I/O 接口的基本概念

⑴ 接口

接口指 CPU 和外设之间通过系统总线进行连接的电路部分，是 CPU 与外界进行信息交换的中转站。

⑵ 接口技术

接口技术是研究 CPU 如何与外部世界进行最佳耦合与匹配，实现双方高效、可靠地交换信息的一门技术，是软件、硬件结合的体现，是微机应用的关键。

⑶ 为什么要用接口电路？

外设是用来实现人机交互的一些机电设备。外设处理信息的类型、速度、通信方式与 CPU 不匹配，不能直接挂在总线上，必须通过接口和系统相连。

⑷ 输入/输出系统

计算机中完成输入/输出（简称 I/O）操作部件称为输入/输出系统，包括 I/O 软件 I/O 硬件两部分。而 I/O 硬件和软件的综合设计称为 I/O 接口技术。

⑸ I/O 软件

I/O 软件的作用是在 I/O 硬件的基础上实现输入/输出操作。在不同结构和性能的计算机中，所采用的 I/O 软件技术差异很大，比如在微型计算机中，I/O 软件主要包括使用 I/O 指令编写的输入/输出程序，以及操作系统中有关管理模块。

⑹ I/O 硬件

- I/O控制部件
- I/O接口
- I/O设备

⑺ I/O 接口的主要功能

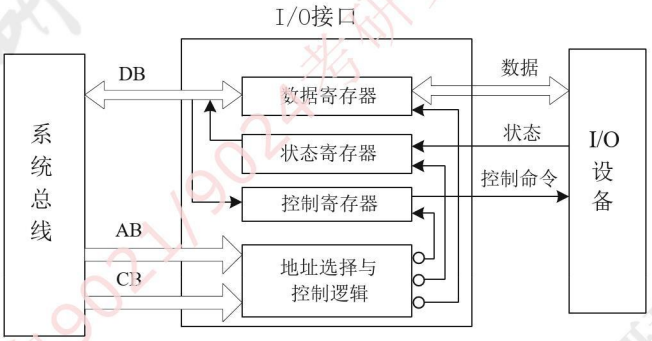
地址选择、控制功能、状态指示、速度匹配、转换信息格式、电平转换 、

可编程性

⑻ I/O 接口的分类

按照与 I/O 设备的数据传送方式可以分为并行接口和串行接口，它们与 I/O 设备之间分别以并行和串行方式进行数据传送。按照通用性可以分为通用接口和专用接口。通用接口可以适用于多种 I/O 设备，专用接口只适用于特定的 I/O 设备。按照可编程性可以分为可编程接口和不可编程接口。不同的接口可以支持不同的输入/输出控制方式（程序直接控制的 I/O 方式、I/O 中断方式、DMA 方式等）。为了方便起见，有些接口也能够同时支持多种输入/输出控制方式，比如 Intel 8255A 既能支持程序直接控制的 I/O 方式，也能支持 I/O 中断方式。

⑼ I/O 接口的组成



I/O 接口的逻辑组成

7.2 外设接口的编址方式

1. I/O 端口

I/O 端口就是指 I/O 接口内部可由 CPU 进行读写操作的各种寄存器，根据存放信息的不同，这些寄存器分别称为数据端口、控制端口和状态端口。

2. I/O 端口的编址方式

通常情况下一个微型计算机系统内有多个 I/O 接口，每个 I/O 接口内部又有多个 I/O 端口，CPU 在访问某个 I/O 端口时就需要对其进行地址选择。选择的方式与访问存储器中存储单元的情况相似，系统为每个 I/O 端口分配了一个地址，这样的地址称为 I/O 端口地址，或者简称 I/O 地址。

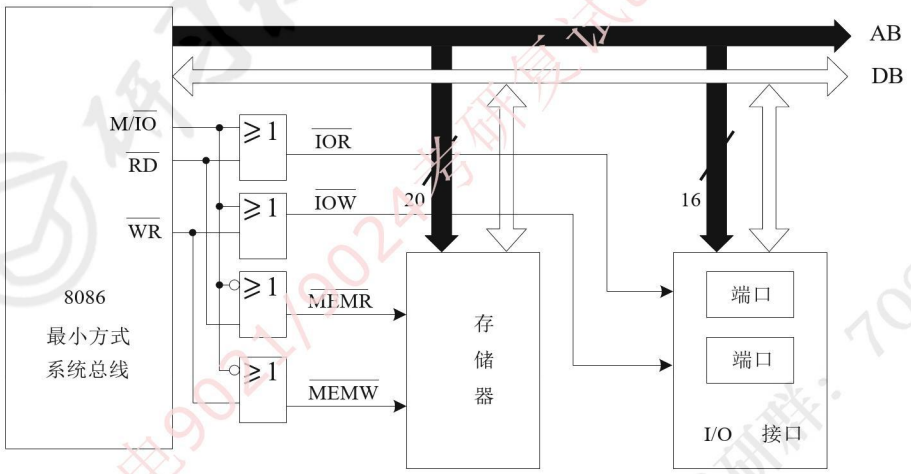
对 I/O 端口安排地址的方式称为 I/O 端口的编址方式。 I/O 端口的编址方式

有以下两种：端口与存储器分别独立编址、端口与存储器统一编址

(1)独立编址方式

独立编址方式是指I/O端口与存储器有相互独立的地址空间(如8086 CPU)。两者之间所以有相互独立的地址空间，是因为访问 I/O 端口和存储器时采用了不同类型的读写信号。CPU 对存储器的读或写和对 I/O 读或写的指令也不相同。

8086/8088 系统是典型的独立编址方式，这是因为虽然它们只提供一种读 RD、写 WR 信号，但是用存储器和 I/O 选择信号 M/IO（8088 是 IO/M 信号）可以区分是进行存储器读写操作还是 I/O 端口的读写操作，如下图所示。

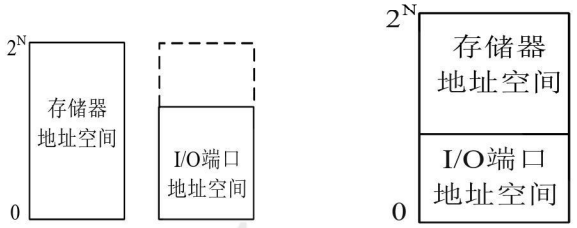


8086/8088 的独立编址方式

独立编址方式优点：存储器的容量可以达到与地址总线所决定的地址空间相同。访问 I/O 端口时的地址位数可以较少，提高总线的利用率。独立编址方式缺点必须设置专门的 I/O 指令，增加了指令系统和有关硬件的复杂性。

(2) 统一编址方式(或称为存储器映射编址)

I/O 端口与存储器共享同一个地址空间，所有的存储单元只占用其中一部分地址，而 I/O 端口则占用另外一部分地址。 访问 I/O 端口和存储器可以使用相同的读写信号，在这种情况下，要求给各个存储单元和各个 I/O 端口分配互不相同的地址，CPU 通过不同地址来选择某一个存储单元或 I/O 端口进行访问两种编址方式中地址空间的关系:



（a） 独立编址方式 (b) 统一编址方式

7.3 输入/输出的基本方式及基本模式

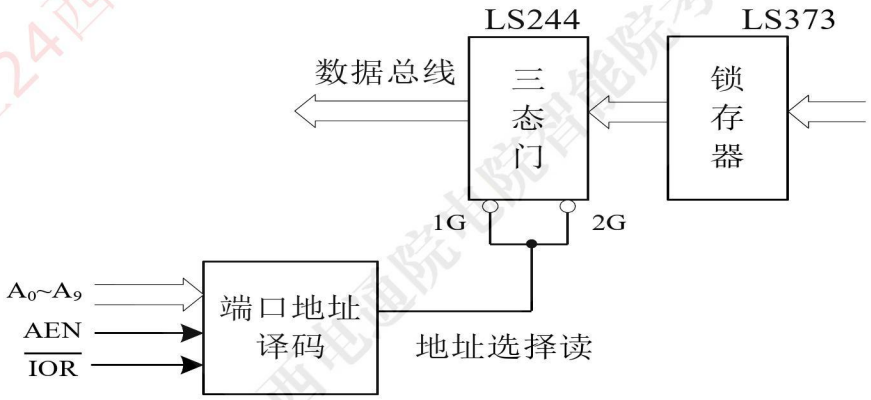
输入/输出的控制方式是指以何种方式控制计算机的主机(包括微处理器、存储器等)与 I/O 接口之间进行数据传送。根据 I/O 设备与主机的并行工作程度，微型计算机的输入/输出控制方式主要有无条件传送方式、程序查询方式、I/O 中断方式和 DMA 方式等四种。

1、无条件传送方式(又称“同步传送方式”)

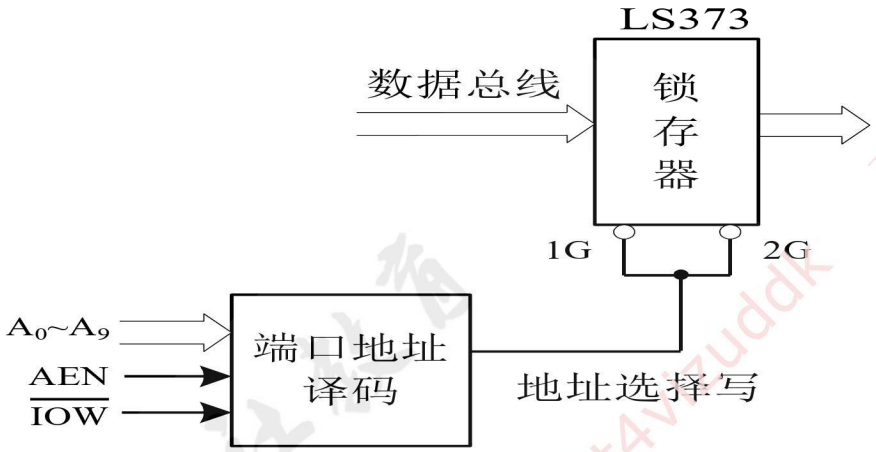
指 I/O 设备可以在微处理器限定的时间内准备就绪，可以直接执行预先编制的 I/O 程序实现输入/输出操作，而无需查询 I/O 设备的状态。

该方式最简单的输入/输出控制方式;所需要的软、硬件较少，实现简单。但前提条件是要求 I/O 设备能够及时准备就绪。

无条件传送方式典型的输入/输出接口形式:



输入数据端口的典型结构



输出数据端口的典型结构

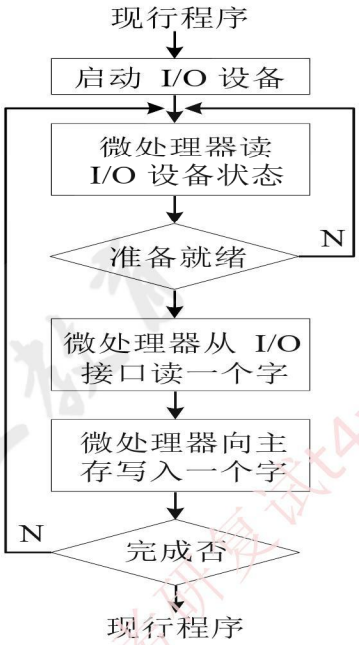
2.程序查询方式

程序查询方式也称为“异步传送方式”或者“有条件传送方式”，其典型结构如图 7.1 所示。

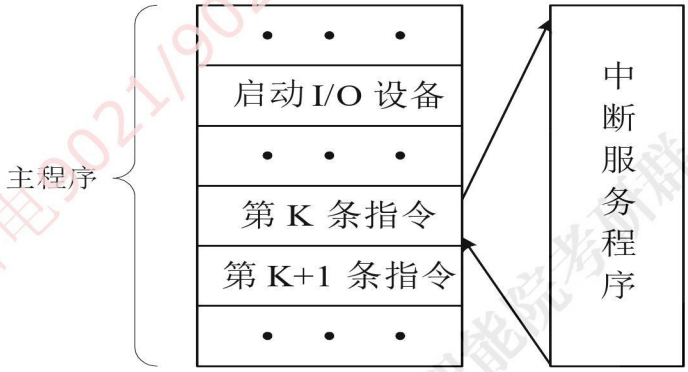
在这种方式中，微处理器在进行输入/输出操作前要不断查询 I/O 设备的状态，只有当 I/O 设备准备就绪时才执行 I/O 指令，完成输入/输出操作。因此，I/O 接口除了数据端口外，还需要具有指示 I/O 设备状态的端口，以供微处理器的查询和检测。

程序查询方式流程图：

研习社24西电9021/9024考研复试t4vzuddk
西电通院电院智能院考研群：702628797



3. I/O 中断方式



I/O 中断方式的过程

I/O 中断方式在 I/O 设备准备期间不需要微处理器“原地踏步”查询 I/O 设备的状态,而程序查询方式则是串行的，所以 I/O 中断方式充分利用了微处理器资源，提高了输入/输出操作的效率。

当采用 I/O 中断方式实现系统中多个 I/O 设备的输入/输出操作时，利用硬件排队电路和中断屏蔽寄存器可以灵活地安排这些 I/O 设备的优先级，及时地对中断请求做出响应，因此也具有较好的实时性。

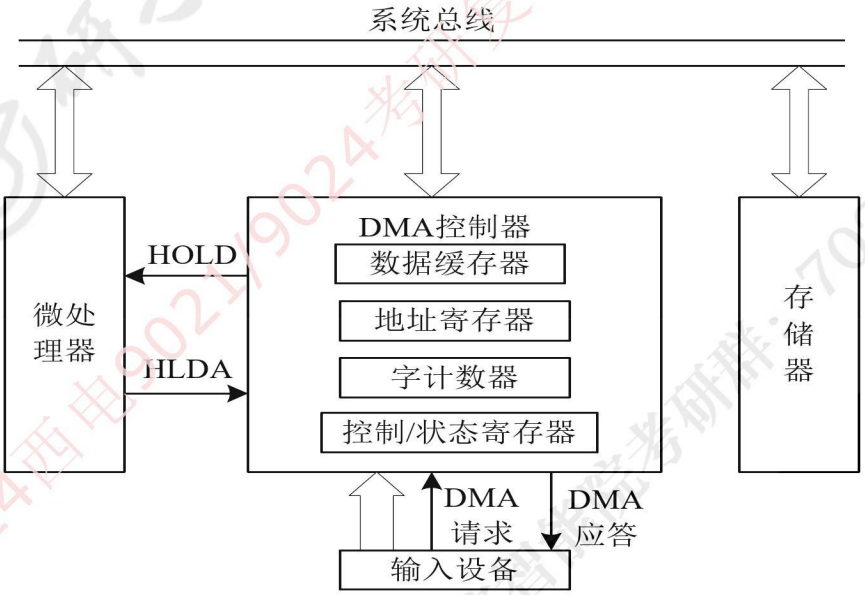
与程序查询方式相比，实现 I/O 中断方式需要增加有关的软、硬件，比如接口中需要增加中断请求电路，系统中还要增加中断控制电路，实现优先级设置和

判定、中断允许和屏蔽，以及产生中断向量地址等功能，因此 I/O 中断方式在一定程度上增加成本和复杂性 。

4、 DMA 方式

DMA(Direct Memory Access)方式称为直接存储器访问方式，其含义是直接在主存储器和 I/O 设备之间成块传送数据，既不需要微处理器的参与，数据也不需要在微处理器中进行中转。

在 DMA 方式中，控制数据在主存储器和 I/O 接口之间进行传送的硬件称为 DMA 控制(DMAC)，其内部组成和工作原理如图 7.8 所示。由于 DMA 控制器将 I/O 设备连接在总线上，作用类似于 I/O 接口，因此也将其称为 DMA 接口。



DMA 控制器的内部组成和工作原理

在数据传送过程中，数据缓存器用于暂存数据，地址寄存器存放的是在主存储器中的地址，它的值随着数据的传送而递增或递减，字计数器的初值等于数据块的字节数，每传送一个字节，字计数器自动减 1，当其值变为 0 时，传送结束，而控制/状态寄存器和控制逻辑电路则用于控制 DMA 工作方式、指示 DMA 控制器的状态。

以输入设备为例，一个完整的 DMA 传送过程下：

① 微处理器启动输入设备，并且将数据块在主存储器的起始地址、数据块

的字或字节数，以及 DMA 的工作方式等内容写入地址寄存 器、字计数器和控制/状态寄存器，完成对 DMA 控制器的设置；

② 输入设备准备就绪后将一个字节写入 DMA 控制器的数据缓存器中，并向 DMA 控制器提出 DMA 请求；

③ DMA 控制器向微处理器发出 HOLD 信号，申请总线的使用权.微处理器释放总线，并通过 HLDA 信号向 DMA 控制器做出应答；

④ DMA 控制器占用总线，通过总线给出地址、数据和写信号，将一个字节数据写入主存储器中，然后将字计数器减 1，并向输入设备做出 DMA 应答；

⑤ 重复②-④步，直至计数器为 0，然后 DMA 控制器通过中断方式通知微处理器传送结束，并释放总线。

DMA 传送方式的突出优点

传送过程无需处理器的控制，数据也无需经过微处理器，而是直接在 I/O 设备与主

存储器间进行，因此既节省了微处理器的时间，也使传送速率大大提高，特别适合于硬盘等高速 I/O 设备的输入/输出操作。

7.4 常用芯片的接口技术

1、I/O 地址译码及译码电路

I/O 地址译码方式和存储器地址译码方式一样，有下列三种译码方式：全地址译码方式 、 部分地址译码方式、线地址译码方式

在 I/O 地址译码中，不管采用何种译码方式和译码电路形式，与存储器地址译码不同之处为参加译码的地址线的条数不同，以及参加译码的控制信号不同。下面给出了在不同的系统中进行 I/O 端口地址译码及 I/O 电路设计时，用到的总线信号：

8086 最小方式系统：$A_{15}\sim A_0$，$D_{15}\sim D_8$，$D_7\sim D_0$、$M/\overline{IO},\overline{RD},\overline{WR},\overline{BHE}$

8086 最大方式系统：$A_{15}\sim A_0$，$D_{15}\sim D_8$，$D_7\sim D_0$ $\overline{IOR},\overline{IOW},\overline{BHE}$

8088 最小方式系统：$A_{15}\sim A_0$，$D_7\sim D_0$，$IO/\overline{M}$，$\overline{RD}$，$\overline{WR}$

8088 最大方式系统: $A_{15} \sim A_0$， $D_7 \sim D_0$， $\overline{\text{IOR}}$， $\overline{IOW}$

IBM PC/XT 系统： $A_9 \sim A_0$， $D_7 \sim D_0$， $\overline{\text{IOR}}$， $\overline{IOW}$，AEN

2、系统总线驱动及控制

在较大的微机应用系统中，I/O 插件板设计时要考虑系统总线的负载能力，必要时可以通过缓冲器或总线驱动来提高总线的负载能力。常用的缓冲器或总线驱动器有 74LS373、74LS244(单向 8 位)和 74LS245(双向 8 位)等。

对单向的地址总线及控制总线的驱动可以 74LS373、74LS244 等芯片缓冲的方式。

对双向系统数据总线的驱动与控制，要遵循下列原则：

1）只有当 CPU 读板内 I/O 端口时，驱动器指向系统总线的三态门才允许导通；

2）只有当 CPU 写板内 I/O 端口时，驱动器指向板内的三态门是导通的；

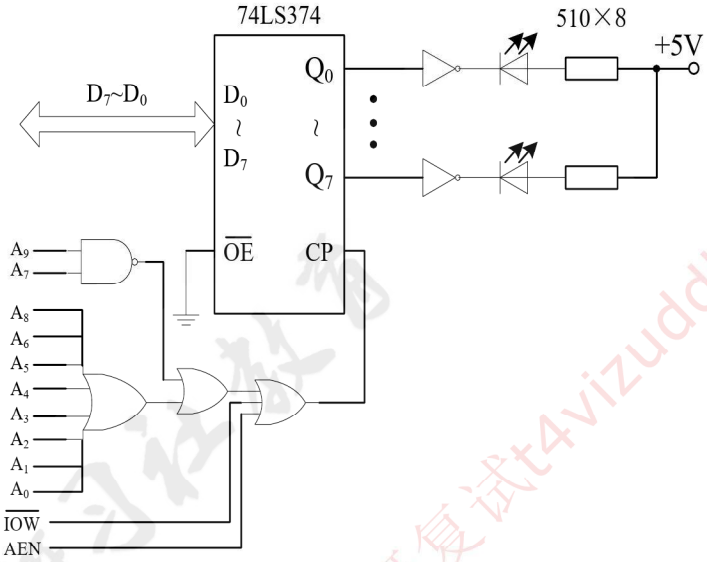
3）当 CPU 不去寻址板内 I/O 端口时，驱动器两边均处于高阻状态。

例：在 PC/XT 系统总线上扩充设计一个数据输出端口， 分配给该端口的地址为 280H，输出端口芯片用 74LS374，输出设备为 8 个 LED 发光二极管。

（1）画出此输出端口与 PC/XT 系统总线以及与 LED 发光二极管的连接图。

（2）编写使 8 个 LED 发光二极管每间隔一段时间交替亮灭的功能段程序。

解：（1）74LS374 的功能和 74LS373 相同，都是 8 位数据输出锁存器，不同之处是使能信号的有效形式，74LS374 的使能信号 CP 为上升沿有效。LED 发光二极管导通时流过的电流应 20mA,否则会损坏器件。设计的此输出端口与 PC/XT 系统总线以及与 LED 发光二极管的连接图如图 7.9 所示。



连接图

（2）编写使 8 个 LED 发光二极管每间隔一段时间交替亮灭的功能段程序如下：

```
      MOV   DX,280H
LOP: MOV   AL,0FFH
      OUT   DX,AL      ；使 8 个 LED 发光二极管亮
      CALL  DELAY1S ；调用 1 秒延时子程序
      MOV   AL,00H
      OUT   DX,AL      ；使 8 个 LED 发光二极管灭
      JMP   LOP
```

§ 7.5 小结

通过本章学习，要求了解 I/O 接口技术的有关概念，包括输入/输出系统的组成，I/O 接口的功能及分类，I/O 端口的编址方式，在此基础上了解 I/O 接口与 I/O 端口之间的区别。

掌握微型计算机的输入/输出控制方式及每种输入/输出方式的特点，重点掌握无条件输入/输出方式和查询输入/输出方式的典型结构，并能利用一些常用接口芯片进行简单的 I/O 接口电路设计和 I/O 驱动程序设计。

在 I/O 接口电路设计中，重点掌握 I/O 译码方法及译码电路的设计。而对不同的系统中进行 I/O 端口地址译码及 I/O 电路设计时，要弄清楚不同的控制信号要参加译码。

第八章 中断系统中断与可编程控制器 8259A

考点：本章考的概率不大，主要记住中断向量表和中断的概念即可，参考对应的 PPT。

8086 微处理器的中断向量表

中断向量：也称为中断指针，就是中断服务程序的入口地址

中断向量表：它是中断类型号与它对应的中断服务程序入口地址之间的换算表。8086 的中断向量表占用存储器从 00000H 开始的最低地址区的 1024 个单元，每个中断向量占用 4B，故可存 256 个中断向量。

中断向量表的结构



第九章 定时/计数器 8253 应用设计

考点：本章是重点，和第十章一样，一般会作为大题，和 8086 最小或最大系统结合起来考，电路设计还有编程，一定要多训练。

9.1 8253 的引脚功能及特点

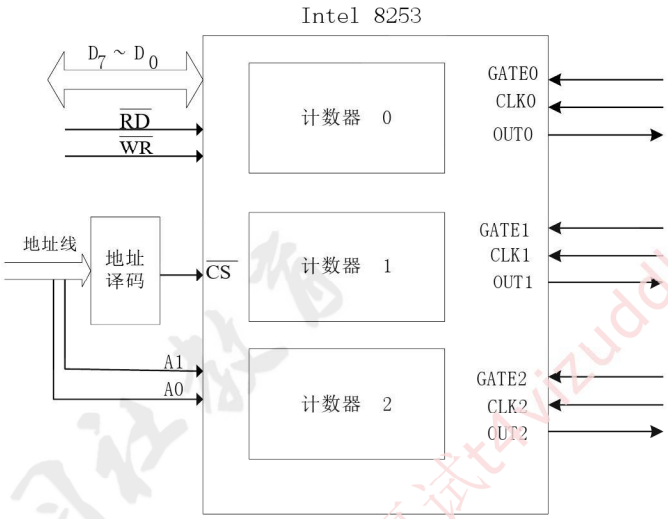
8253 的引脚功能及特点

引脚名	功 能	连接去
D_0~D_7	数据总线（双	CPU
$\overline{CS}$	片选信号	译码电
$\overline{RD}$	读信号	CPU
$\overline{WR}$	写信号	CPU
A_0,A_1	端口地址	CPU
CLK_0~CLK_2	3 个计数通道的	外部
$GATE_0$~$GATE_2$	3 个计数通道的	外部
OUT_0~OUT_7	3 个计数通道的	外部
Vcc	电源（+5V）	/
GND	地	/

9.2 8253 的原理结构及工作原理

可编程定时/计数器 8253 的原理结构图

定时/计数器 8253 一共有三个独立的计数通道（也称计数器）：计数器 0、计数器 1、计数器 2。



8253 的原理结构图

定时/计数器8253占用4个端口地址，：

A_1A_0	寻 址
0 0	计数通道0
0 1	计数通道1
1 0	计数通道2
1 1	控制字寄存器

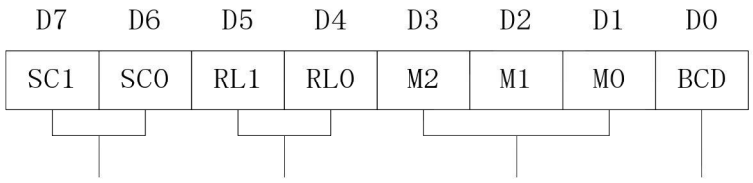
其中控制字寄存器共用一个端口地址，由控制字中的 D_7 D_6 位来指定寻址哪个计数通道，其它 3 个计数通道各占用一个端口地址。为本章说明方便，将这四个地址分别用 COUNTA、COUNTB、 COUNTC 和 COUNTD 表示。

通过计数通道的端口地址可以访问通道中的 CR、OL，当对通道进行写操作时，实际上表示将计数初值（即时常数）写入 CR；当对通道进行读操作时，表示将从 OL 中读取计数值。

9.3 8253 的控制字及工作方式

1、8253 的控制字

定时/计数器 8253 一共有 6 种工作方式，由控制字寄存器的内容来设定。方式控制字如下图所示。



三个计数通道共用一个端口地址，由控制字中的位 D_7D_6（即 SC_1SC_0）来确定计数通道：

SC_1SC_0	含 义
0 0	计数通道0
0 1	计数通道1
1 0	计数通道2
1 1	保留

方式控制字的位 D_5D_4（即 RL_1RL_0）用于设定计数通道的读写规则：

RL_1RL_0	含 义
0 0	计数通道的锁存命令，即将当前CE的内容锁存到OL
0 1	只读写CR或OL的低8位
1 0	只读写CR或OL的高8位
1 1	先读写CR或OL的低8位，再读写高8位

方式控制字的 $D_3D_2D_1$ 位（$M_2M_1M_0$）用于设定计数通道的工作方式：

$M_2M_1M_0$	含 义
0 0 0	方式0
0 0 1	方式1
×1 0	方式2
×1 1	方式3
1 0 0	方式4
1 0 1	方式5

方式控制字的最低位 D_0（即 BCD 位）用于指定读写数据的格式，当 BCD=0 时，表示读写数据为二进制数，当 BCD=1 时，表示读写数据为两位十进制数。

2、8253 的工作方式

CLK 脉冲：是指 CLK 上从上升沿到下降沿的时间，

计数器：与计数通道的含义一致，

时常数：是指通过指令写入到计数器的值，可以理解成计数器的初值。

1）方式 0 —— 计数达到终值时中断

功能：方式 0 可以实现设定一个确定的时间 t0，当到达时间 t0 时，需要进行某种操作。

在方式 0 下，当写入方式控制字后，相应的 OUT 端输出变为低电平，直到计数器达到 0 时变为高电平，表示达到了定时的时间。当再次写入时常数时，开始一个新的定时过程。

输入控制信号 GATE 可以暂停计数操作，来加长定时的时间（在时常数不变的情况下）

当 GATE＝0 时，表示相应的计数器暂停计数；

当 GATE＝1 时，表示相应的计数器正常计数。

方式 0 具有下列一些特点：

① 在向 8253 置方式字或置时常数时，OUT 输出变成低电平；

② 置入时常数后，下一个 CLK 脉冲，使 CR 内容(初值)置入计数单元；

③ 在后续 CLK 脉冲,进行“减 1”计数；

④ 当计数至 0 时,OUT 由低变高,并继续计数,从 0 到 0FFFFH；

⑤ 上述计数过程要受 GATE 控制,当 GATE＝1 时允许计数，当 GATE＝0 时 则暂停计数；

⑥ 正常情况下，即 GATE=1，对计数器置入时常数 N 时，要经过 N＋1 个时钟周期才能使 OUT 输出高电平；

⑦ OUT 端由低变高信号可用作为中断请求信号，表示已达到了预定的时间；

⑧ 在计数过程中，如 GATE 变为低电平，这时只是暂停计数，等待 GATE 信号变为高电平后，计数器继续“减 1”计数。

例：向 8253 的 A_1A_0＝11B 的地址写入 0011 0000B，则表示计数器 0 设置成方式 0，并且采用 16 位时常数，假设时常数为 1500，则计数器 0 的初始化程序段如下：

```
MOV   DX,   COUNTD          ；写入 8253 的方式控制字
```

```
MOV   AL,   0011 0000B
OUT   DX,    AL
MOV   DX,   COUNTA          ；计数器 0 置入时常数
MOV   AX,   1500
OUT   DX,   AL
XCHG AL,   AH
OUT   DX,   AL
```

2）方式 1 —— 硬件触发的单脉冲形成

功能：用硬件触发形成单脉冲。

在方式 1 下，OUT 端初始值为高电平，在 GATE 端加入有效的触发信号（上升沿），并经过一个 CLK 脉冲后，OUT 端变为低电平，表示一个单脉冲形成的开始，与此同时，将时常数从 CR 读入 CE，并进行“减 1”计数，这种计数不受 GATE 端低电平的限制。当计数达到 0 时，OUT 端变为高电平，表示一个单脉冲过程的结束。

方式 1 的特点：

① 在置方式 1 的控制字或置入时常数后，OUT 端仍输出高电平；

② 在 GATE 端输入有效的触发信号（上升沿），并经过一个 CLK 脉冲，OUT 变为低电平，作为单脉冲的开始，同时将 CR 读入 CE，并开始“减 1”计数；

③ 当 CE 计数到 0 之前，OUT 端变为高电平，表示本次单脉冲形成结束；

④ 正常情况下，当计数通道的时常数为 N 时，硬件触发所产生的单脉冲（低电平）的宽度为 N 个计数时钟周期；

⑤ 原则上说，每个触发信号都可以形成一个单脉冲，但如果在单脉冲低电平期间再加入触发信号，则可以使单脉冲宽度加宽；

⑥ 在单脉冲形成期间，向 CR 置入新的时常数，但未加触发信号，则本次单脉冲的形成不受影响，之后的触发信号才使用新的时常数。

3）方式 2 —— 分频脉冲形成

功能：方式 2 类似于 N 分频器，利用这种方式可以产生周期信号。

在正常情况下（GATE＝1），将计数器设置成方式 2 后，OUT 端输出高电平；向 CR 置入时常数 N 后，下一个 CLK 脉冲将时常数从 CR 读入 CE，并开始“减 1”计数；当计数到 0001H 时，OUT 端变为低电平，经过一个 CLK 脉冲，OUT 端再次变为高电平，产生一个时钟周期的负脉冲，与此同时，重新将时常数从 CR 读入 CE，并继续计数。这样，就可以产生周期的分频信号。

方式 2 具有下列一些特点：

⑦ 在置方式 2 的控制字后，OUT 端变为高电平；

⑧ 在置入时常数后，下一个 CLK 脉冲期间，将时常数从 CR 读入 CE，并开始“减 1”计数；

⑨ 当 CE 计数到 01 时，在 OUT 端输出一个负脉冲，并重新读入时常数进行计数；

⑩ 正常情况下，当计数通道的时常数为 N 时，OUT 产生的信号为计数时钟的 N 分频；

11 OUT 产生的分频信号，有两种同步方式：向 CR 写入新的时常数（称为软件同步）和在 GATE 端产生上升沿（称为硬件同步）；

1) 当 GATE＝0 时，计数器暂停计数。

例：向 8253 的 A_1A_0 ＝11B 的地址写入 1001 0100B，则表示计数器 2 设置成方式 2，并且采用低 8 位时常数，假设时常数为 13，则计数器 2 的初始化程序段如下：

```
MOV   DX,   COUNTD          ；写入 8253 的方式控制字
MOV   AL,   1001 0100B
OUT   DX,    AL
MOV   DX,   COUNTC          ；计数器 2 置入时常数
MOV   AL,   13
OUT   DX,   AL
```

这样在 OUT2 端就产生了 CLK2 的 13 分频信号，这要是通过逻辑电路实现

就比较麻烦。

4）方式 3 —— 方波信号形成

功能：方式 3 类似于方式 2，只是在 OUT 上产生对称的或近似对称的方波。

在正常情况下（GATE＝1），将计数器设置成方式 3 后，OUT 端输出高电平；向 CR 置入时常数 N（设 N 为偶数）后，下一个 CLK 脉冲将时常数从 CR 读入 CE，并开始“减 2”计数，当计数到 0 时，OUT 端变为低电平；重新将时常数从 CR 读入 CE，并进行“减 2”计数，当计数到 0 时，OUT 端再次变为高电平，产生一个时钟周期的方波信号，重复这一过程，可以产生周期的对称方波信号。

当设定的时常数 N 为奇数时，在将时常数从 CR 读入 CE 时会自动减 1，使 CE 中的初步变成 N－1（偶数），OUT 端输出高电平，并开始“减 2”计数，当计数到 0 时，再经过 1 个 CLK 后使 OUT 端变成低电平；重新将时常数从 CR 读入 CE，并进行“减 2”计数，当计数到 0 时，OUT 端再次变为高电平，产生一个时钟周期的方波信号，重复这一过程，可以产生周期的近似对称的方波信号。

例：向 8253 的 A_1A_0＝11B 的地址写入 0011 0110B，则表示计数器 0 设置成方式 3，并且采用 16 位时常数，假设时常数为 2000，则计数器 0 的初始化程序段如下：

```
MOV   DX,   COUNTD      ；写入 8253 的方式控制字
MOV   AL,   0011 0110B
OUT   DX,    AL
MOV   DX,   COUNTA      ；计数器 0 置入时常数
MOV   AX,   2000
OUT   DX,   AL
XCHG  AL,   AH
OUT    DX,  AL
```

这样在 OUT2 端就产生了 CLK2 的 2000 分频的方波信号，如果通过逻辑电路实现，就显得比较麻烦。

5）方式 4 —— 软件触发产生选通信号

在方式 4 下，OUT 端初始值为高电平。在正常情况下（GATE＝1），将计数器设置成方式 4 后，OUT 端输出高电平；向 CR 置入时常数 N 后，下一个 CLK 脉冲将时常数从 CR 读入 CE，并开始“减 1”计数；当计数到 0 时，OUT 端变为低电平，经过一个 CLK 脉冲，OUT 端再次变为高电平，完成一次选通信号的产生。当再次写入时常数 N 时，OUT 端将经过（N＋1）计数时钟周期后产生负的选通信号。

例：向 8253 的 A_1A_0＝11B 的地址写入 0101 1000B，则表示计数器 1 设置成方式 4，并且采用低 8 位时常数，假设时常数为 75，则计数器 1 的初始化程序段如下：

```
MOV   DX,   COUNTD        ；写入 8253 的方式控制字
MOV   AL,   0101 1000B
OUT   DX,    AL
MOV   DX,   COUNTB        ；计数器 1 置入时常数
MOV   AL,   75
OUT   DX,   AL
```

6）方式 5 —— 硬件触发产生选通信号

功能：方式 5 与方式 4 类似，只是每次选通信号的产生是由硬件触发的。在方式 5 下，OUT 端初始值为高电平。

在正常情况下（GATE＝1），将计数器设置成方式 4 或写入时常数时，都使 OUT 端输出高电平；当 GATE 端输入上升沿时，其下一个 CLK 脉冲可以将时常数从 CR 读入 CE，并开始“减 1”计数；当计数到 0 时，OUT 端变为低电平，经过一个 CLK 脉冲，OUT 端再次变为高电平，完成一次选通信号的产生。当再次输入 GATE 的上升沿时，OUT 端将经过（N＋1）计数时钟周期后产生负的选通信号。

例如，向 8253 的 A_1A_0 ＝11B 的地址写入 0001 1010B，则表示计数器 0 设置成方式 5，并且采用低 8 位时常数，假设时常数为 155，则计数器 0 的初始化程序段如下：

```
MOV   DX,   COUNTD        ；写入 8253 的方式控制字
```

```
MOV   AL,   0001 1010B
OUT   DX,    AL
MOV   DX,   COUNTA        ；计数器 0 置入时常数
MOV   AL,   155
OUT   DX,   AL
```

Intel 8253 有 6 种工作方式，它们之间具有一些共同特点，先总结如下：

（1）置方式字时，起到逻辑复位的功能；

（2）GATE 信号的有效形式：

方式 0、方式 4： 电平控制

方式 1、方式 5： 上升沿触发（硬件触发）

方式 2、方式 3： 电平与上升沿都起作用

（3）CR 内容装入计数单元 CE 的时刻：

方式 0、方式 4： 写时常数

方式 1、方式 5： 硬件触发

方式 2、方式 3： 写时常数、硬件触发和自动重装

计数最大值为 0（即 2^{16}），在方式 0、1、4、5 下，CE 计数到 0 后，并未停止计数，而是从 0－>0FFFFH－>0FFFEH 继续“减 1”计数；在方式 2、3 下，CE 计数到 0 后，自动装入初值计数。

8253 的计数值的读取

在任何时刻都可以读取某个计数器的当前计数值，这应该分两步实现：

1、输出计数器锁存命令，将方式控制字中 RL_1 RL_0 =00B，这样可以将相应计数通道中的当前计数值锁存到 OL 锁存器，而 CE 会继续计数；

2、用 IN 指令读取 OL 内容。

例如，要读取计数器 1 中的计数值，其程序如下：

```
MOV     DX, COUNTD          ；输出计数器锁存命令
MOV     AL, 0100 0000B
OUT     DX,   AL
```

```
MOV     DX, COUNTB
IN      AL, DX                  ；从 OL 读取低位字节
XCHG    AH, AL
IN      AL, DX                  ；从 OL 读取高位字节
XCHG    AH, AL
```

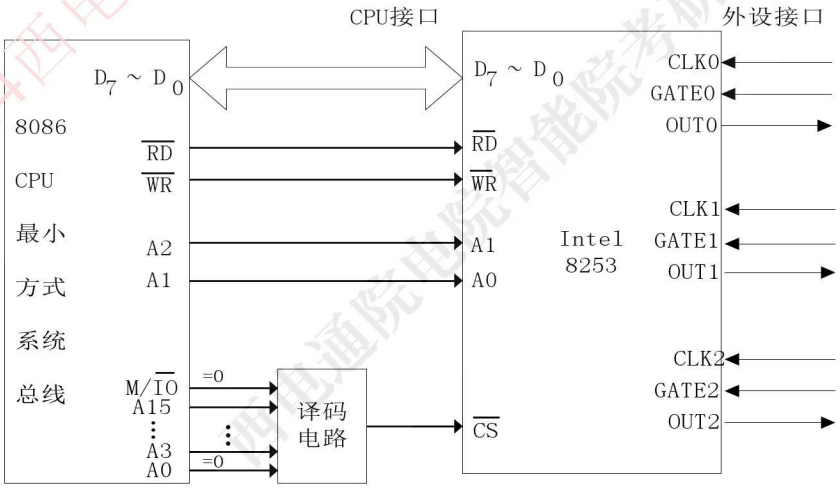
这时，AX 的内容就是计数器 1 的当前计数值（注意，在计数器 1 设定工作方式时，其方式控制字 $RL_1\ RL_0$ 的应为 11B）。

9.4 8253 与系统总线的接口方法

1、8086 最小方式系统总线与 8253 的连接

在 8086 最小方式总线下，系统总线与 8253 连接框图如右图所示。图中译码电路根据给定的 8253 端口地址确定，这里 $M/\overline{IO}$ 和 A0 均为低电平有效，而且约定采用 A2、A1 作为 8253 的内部地址线。图中给出使用偶地址的情况，当采用奇地址时，只需要将图中的地址信号 A0 换成 $\overline{BHE}$，并且将 8086 总线的 D7～D0 换成 D15～D8。

8086 最小方式系统总线与 8253 的连接框图：

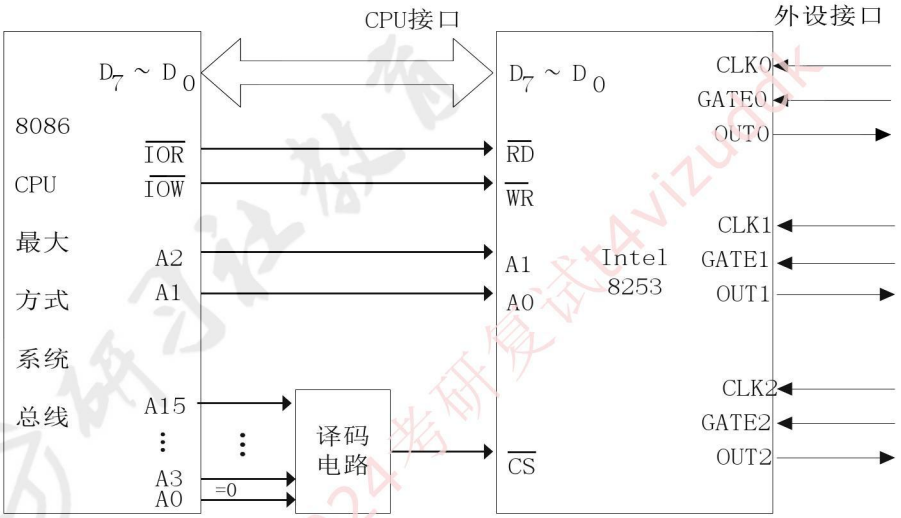


2、8086 最大方式系统总线与 8253 的连接

在 8086 最大方式总线下，系统总线与 8253 连接框图下图所示。与最小方式总线类似，只是将读写信号变成为 $\overline{IOR}$ 和 $\overline{IOW}$。图中给出使用偶地址的情况，当

采用奇地址时，只需要将图中的地址信号 A0 换成$\overline{BHE}$，并且将 8086 总线的 D7～D0 换成 D15～D8。

8086 最大方式系统总线与 8253 的连接框图



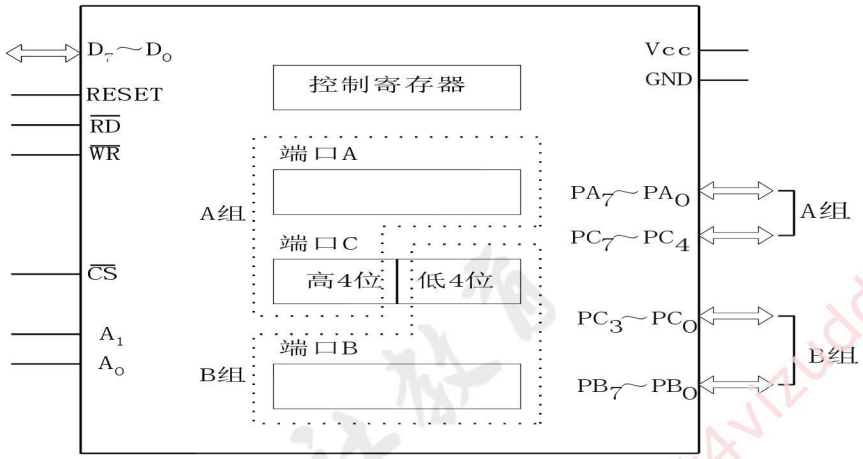
第十章 并行接口芯片 8255A 的应用设计

考点：本章是重点，和第九章一样，一般会作为大题，和 8086 最小或最大系统结合起来考，电路设计还有编程，一定要多训练。

10.1 8255 的原理结构及工作原理

1.8255A 的功能结构

研习社24西电9021/9024考研复试4vizuoqk 研习社24西电
西电通院智能院考研群：702628797



1．8255A 端口的识别

片外寻址　片内寻址

$\overline{CS}$	A1	A0	选中端口
0	0	0	端口A
0	0	1	端口B
0	1	0	端口C
0	1	1	方式控制端口
1	X	X	未选中

4、端口功能简介

★端口 A：8 位输出锁存/缓冲器，8 位输入锁存器

★端口 B：8 位数 I/O 锁存/缓冲器，8 位数输入缓冲器

★端口 C：8 位输出锁存/缓冲器，8 位输入缓冲器

注意：1.输入时无锁存；

2.端口 C 还可分成两部分：高 4 位和低 4 位，

可分别用作为输出控制和状态输入。

★控制寄存器：用于控制 8255A 的工作方式

10.2 8255A 的控制字及工作方式

1、8255A 三种基本工作方式：

方式 0：基本的输入/输出；

方式 1：有联络信号的输入/输出；

方式 2：双向传送。

◆ 方式 0 为基本的输入输出方式

（无条件方式）

PA 口、PB 口和 PC 口均可以工作在方式 0。

◆ 方式 1 为有联络信号的输入输出方式

（查询方式/中断方式）

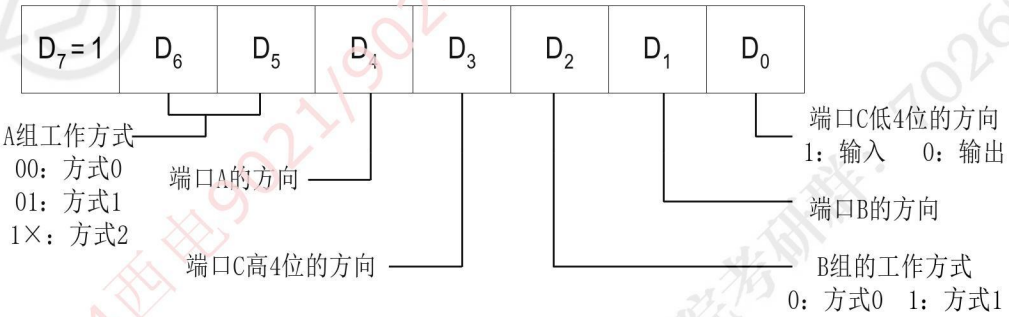
PA 口和 PB 口均可以工作在方式 1。

◆ 方式 2 为有联络信号的双向输入输出方式（查询方式/中断方式）

只有 PA 口可以工作在方式 2。

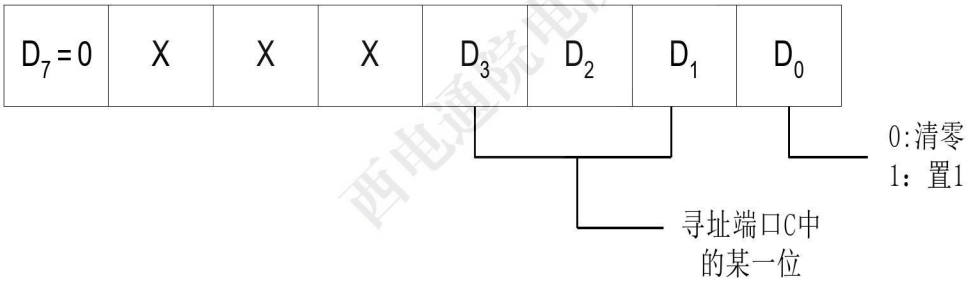
2、8255A 的控制字

8255A 的方式控制字



注意：D7＝1 是方式控制字的标志位，A 组与 B 组的提法与设置

8255A 的置位控制字



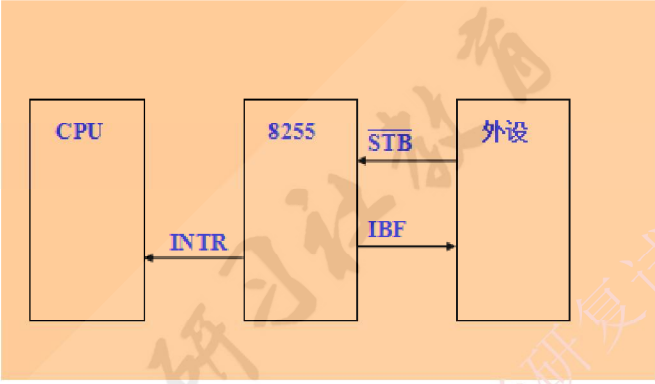
说明：D7＝0 是置位控制字的标志位，功能为将端口 C 中的指定位清零或置 1，可以对端口 C 中的任一位进行位操作

3、8255A 的工作方式

⑴方式 0 —— 基本的输入/输出

⑵方式 1 —— 有联络信号的输入/输出

方式 1 在输入时接口连接示意图



方式 1 在输入时接口连线说明

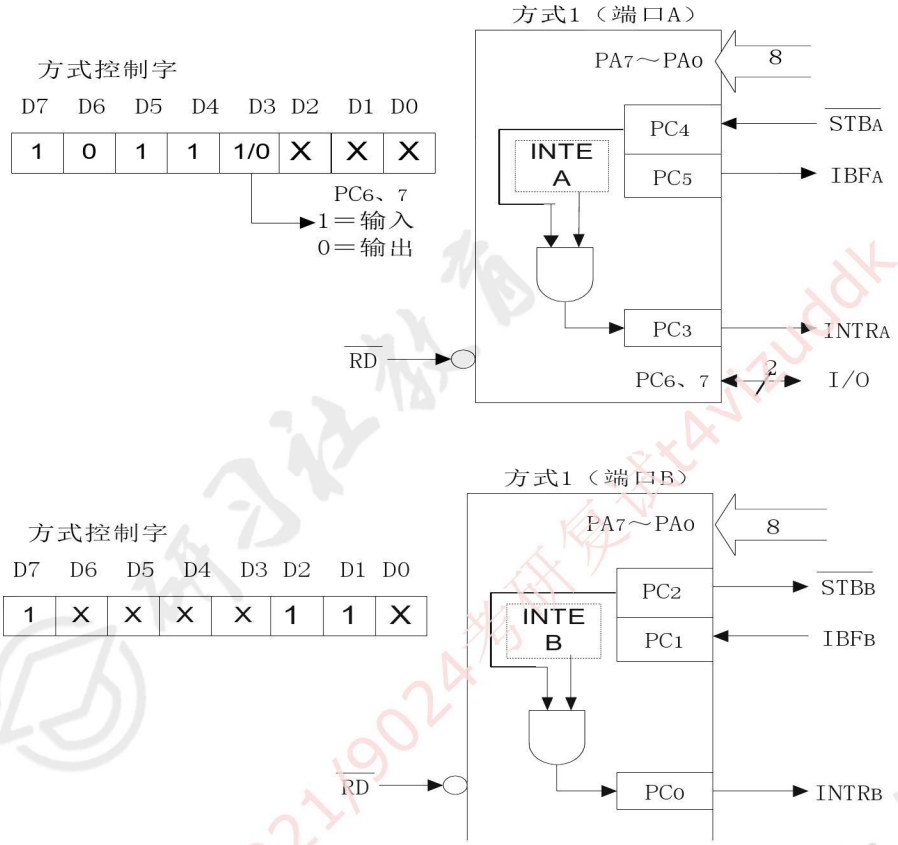
$\overline{STB}$（Strobe）是来自外设的选通输入信号，低电平有效。有效时 8255 接收外设送来的 8 位数，其下降沿将数据锁存到 A 或 B 端口寄存器

IBF (Input Buffer Full) 8255 送给外设的输入缓冲器满信号，高电平有效，表示目前缓冲区有数，外设暂不要再送。

INTR （Interrupt Request）中断请求信号，高电平有效

方式 1 输入时的方式控制字与端口连接线示意图

研习社24西电9021/9024考研复试t4vizuddk
西电通院电院智能院考研群：702028797



要使 INTR＝1 的条件：IBF＝1、INTE＝1 、STB 的上升沿到来

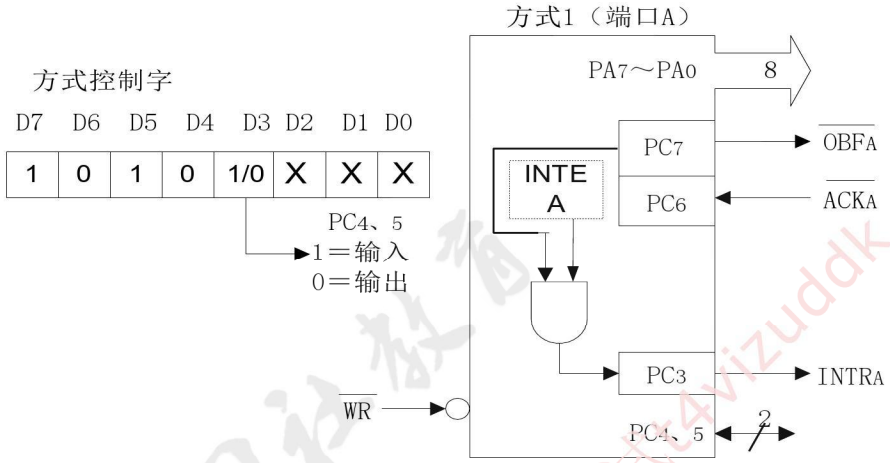
方式 1 在输出时接口连线说明

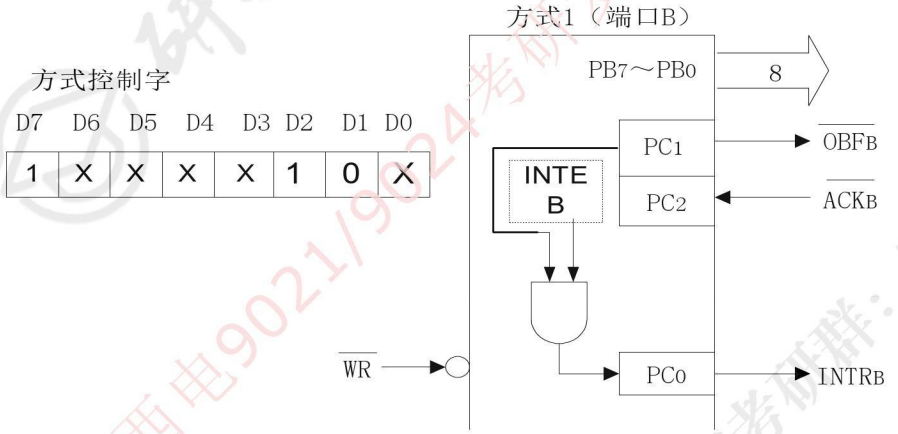
$\overline{ACK}$（Acknowledge）外设的响应信号，低电平有效。有效时 8255 输出缓冲区中的数据送上外设数据线，其上升沿将数据锁存入外设，其下降沿使 OBF 变高，告知外设缓冲区中暂无数据

$\overline{OBF}$ (Output Buffer Full) 8255 送给外设的输出缓冲区满信号，低电平有效，表示目前缓冲区有数，外设可以来取。

INTR （Interrupt Request）中断请求信号，高电平有效

方式 1 输出时的方式控制字与端口连接线示意图：





要使 INTR＝1 的条件：OBF＝1 ， 表示输出缓冲已空；INTE＝1 ；ACK 的上升沿到来

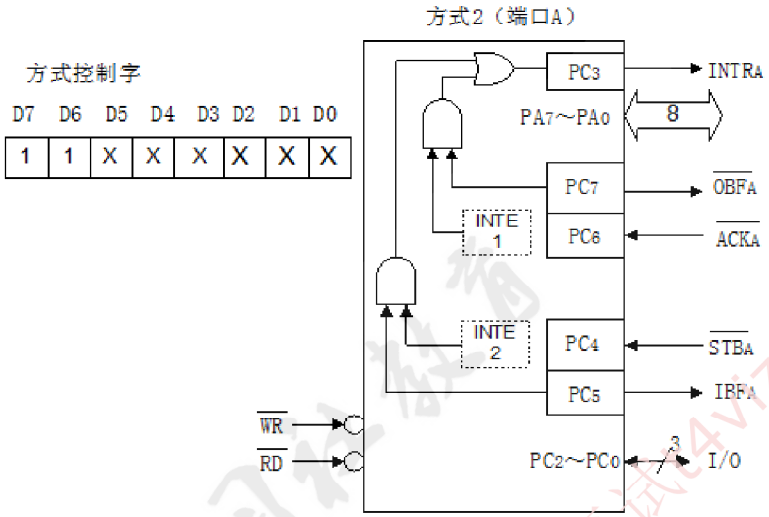
⑶方式 2 —— 双向传送

(1) 双向传送数据方式，仅 A 口适用，实质是 A 口在方式 1 输入与输出工作的组合

(2) C 口的 PC7－PC3 用作为 A 组的联络信号

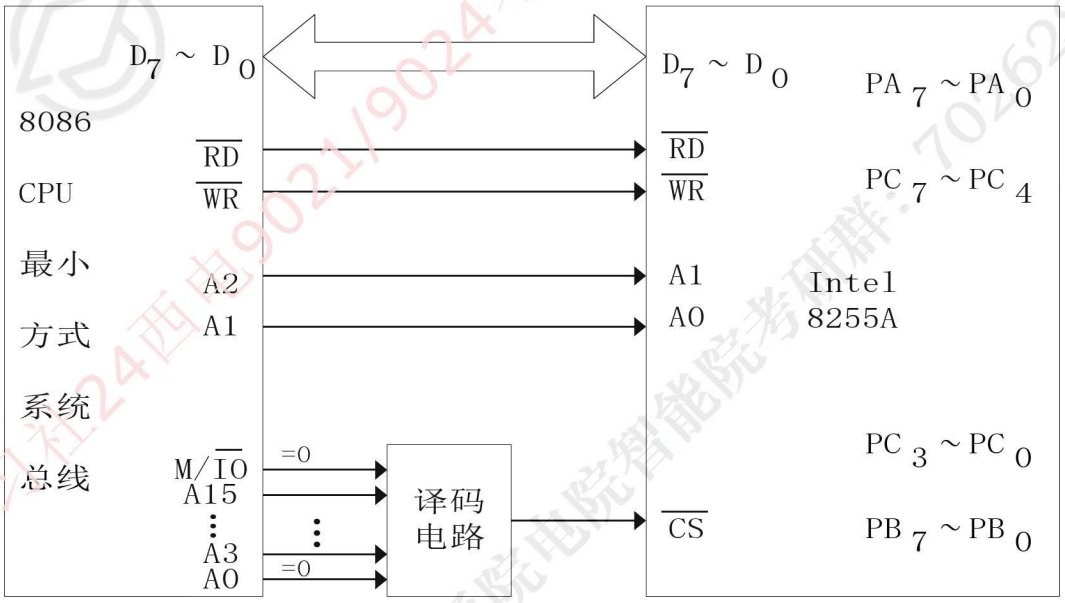
(3) B 口及 C 口的 PC2－PC0 可正常工作于方式 0 或方式 1

方式 2 工作时的方式控制字与端口连接线示意图：

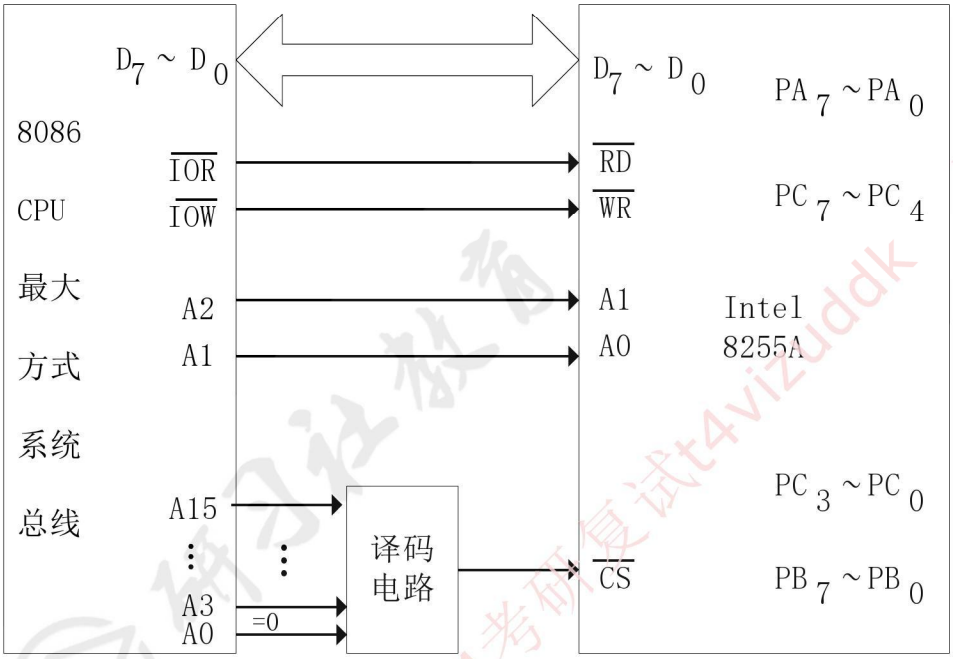


10.4 8255A 与系统总线的接口方法

1、8086 最小方式系统总线与 8255 的连接图



2、8086 最大方式系统总线与 8255 的连接图



研习社24西电9021/9024考研复试t4vizuddk
西电通院电院智能院考研群：702628797